

FIȘA DISCIPLINEI

1. Date despre program

1.1 Instituția de învățământ superior	Universitatea Tehnică din Cluj-Napoca
1.2 Facultatea	Facultatea de Electronică, Telecomunicații și Tehnologia Informației
1.3 Departamentul	Bazele Electronicii
1.4 Domeniul de studii	Inginerie electronică, telecomunicații și tehnologii informaționale
1.5 Ciclul de studii	Master
1.6 Programul de studii / Calificarea	Circuite si Sisteme Integrate
1.7 Forma de învățământ	IF – învățământ cu frecvență
1.8 Codul disciplinei	13.00

2. Date despre disciplină

2.1 Denumirea disciplinei	Proiectarea sistemelor digitale cu instrumente HDL						
2.2 Aria de conținut	Arie teoretică						
2.3 Responsabil de curs	Conf. Dr. Ing. Botond Sandor KIREI – botond.kirei@bel.utcluj.ro						
2.4 Titularul activităților de seminar / laborator / proiect	Conf. Dr. Ing. Botond Sandor KIREI – botond.kirei@bel.utcluj.ro						
2.5 Anul de studiu	2	2.6 Semestrul	1	2.7 Tipul de evaluare	Examen	2.8 Regimul disciplinei	DI/DA

3. Timpul total estimat

3.1 Număr de ore pe săptămână	3	din care: 3.2 curs	1	3.3 seminar / laborator	2
3.4 Total ore din planul de învățământ	42	din care: 3.5 curs	14	3.6 seminar / laborator	28
Distribuția fondului de timp					ore
Studiul după manual, suport de curs, bibliografie și notițe					35
Documentare suplimentară în bibliotecă, pe platformele electronice de specialitate și pe teren					25
Pregătire seminarii / laboratoare, teme, referate, portofolii și eseuri					15
Tutoriat					13
Examinări					6
Alte activități:					
3.7 Total ore studiu individual	83				
3.8 Total ore pe semestru	125				
3.9 Numărul de credite	5				

4. Precondiții (acolo unde este cazul)

4.1 de curriculum	Proiectarea circuitelor digitale VLSI, Sisteme cu Circuite Integrate Digitale, Sisteme cu FPGA
4.2 de competențe	Limbaj de programare VHDL sau Verilog, Proiectarea circuitelor integrate digitale

5. Condiții (acolo unde este cazul)

5.1. de desfășurare a cursului	Amfiteatrul 368, Str. Baritiu, Nr 26, Cluj Napoca
--------------------------------	---

5.2. de desfășurare a seminarului / laboratorului / proiectului	Laboratorul 501, Str. Observatorului, Nr 2, Cluj Napoca
---	---

6. Competențele specifice acumulate

Competențe profesionale	<p>Cunoștințe teoretice, (Ce trebuie sa cunoască)</p> <ul style="list-style-type: none"> • Matematica Booleana. Functii binare. Dezcompuenerea Schannon. Arbore binare. Notarea PCN (Positional Cube Notation). Satisfiabilitatea booleana. • Diagrame Karnaugh pentru simplificare multivariabilă. Minimizarea funcțiilor logice cu metode algebrice (Quine-McCluskey) si metode euristice (cunoașterea operatorilor de minimizare euristica) • Sinteza circuitelor combinaționale în două etaje. Minimizarea multinivel a funcțiilor logice • Modul de funcționare a simulatoarelor cu timp infinitezimal (delta-time). Modul de funcționare a simulatoarelor pe bază de tact. • Circuite digitale de baza (porti logice, bistabile, registri, automate secventiale, memorii) • Fluxul de proiectare a circuitelor dedicate aplicatiilor specifice (ASIC) si a arilor programabile (FPGA) • Verificarea functionala a sistemelor digitale proiectate • Proiectare pentru consum redus. Proiectare pentru testabilitate. Cunoștințe de proiectare conform standardului JTAG, pentru testabilitate <p>Deprinderi dobândite: (Ce știe să facă)</p> <ul style="list-style-type: none"> • Elaborarea instrumentelor software pentru reprezentarea funcțiilor logice în arbore binare. • Proiectarea circuitelor digitale avansate utilizand limbaje de descriere hardware VHDL si Verilog. Nivele de abstractizare. Descrierea la nivel de tranzistor. Descriere la nivel de poartă. Descriere la nivel de transfer a regiștrilor. Descriere la nivel de sistem. Proiectarea sistemelor digitale folosind metoda cailor de date si de control (data/control path design) • Verificarea circuitelor utilizand limbaje de verificare hardware (SystemC, SystemVerilog, Vera si E) si librarii de verificare hardware (Accelera Open Verification Library). Nivelul de acoperire a codului (Code Coverage). Metode de verificare (Unified Verification Method, Assertion Based Verification) <p>Abilități dobândite: (Ce instrumente știe să mănuiască)</p> <ul style="list-style-type: none"> • Cunoștințe de utilizare a programelor dedicate pentru proiectarea circuitelor digitale, precum simulatorul Methor Graphics ModelSim. <p>Utilizarea mediului de proiectare Alliance (sintetizarea circuitelor digitale într-o tehnologie standard cell, plasare și rutare, verificare LVS)</p> <p>Cunoștințe de verificare funcțională și acoperire a codului folosind programul Covered.</p>
	Competențe transversale

7. Obiectivele disciplinei (reieșind din grila competențelor specifice acumulate)

7.1 Obiectivul general al disciplinei	Dezvoltarea abilităților de programare/verificare/testare
7.2 Obiectivele specifice	Scopul acestui curs este de a dezvolta o înțelegere a tehnologiilor din spatele proiectării și verificării hardware. Elevii vor dezvolta o apreciere a capabilității/limitii diverselor metode de proiectare și de verificare hardware. Cursul va acoperi bazele simulării VHDL / Verilog și a verificării folosind tehnici formale, cum ar fi: simularea simbolică,

satisfiabilitatea booleană și verificarea echivalenței. Prelegerile vor acoperi studii de caz de verificare a sistemelor digitale complexe, de exemplu verificarea microprocesoarelor cu set de instrucțiuni reduse.

8. Conținuturi

8.1 Curs	Metode de predare	Observații
Curs introductiv. Procesul de proiectare utilizand HDL	Expunere	Video-proiector
Circuite digitale combinationalale (diagrame Karnaugh, simplificarea functiilor logice, porti logice, memorii)		
Arbore binare. Notarea PCN (Positional Cube Notation). Satisfiabilitatea booleana.		
Circuite digitale secventiale (bistabile, registri, automate secventiale)		
Simulatoarele "delta-time". Simulatoare pe bază de tact		
Sinteza circuitelor combinationalale si secventiale		
Modelarea circuitelor digitale cu HDL		
Proiectarea unui procesor cu set de instructiuni redus		
Modelarea si sinteza unitatilor de prelucrare numerica (arhitectura filtrelor digitale, si filtrelor adaptive)		
Standardul JTAG. Proiectarea circuitelor pentru testabilitate		
Limbaje de verificare hardware HVL (Hardware Verification Language): SystemVerilog, PSL		
Nivelul de acoperire a codului		
Libraria OVL (Open Verification Library)		
Verificare bazat pe afirmații		
Bibliografie		
<ol style="list-style-type: none"> 1. Botond Sandor Kirei, Proiectarea sistemelor digitale cu instrumente HDL, Casa Cartii de Stiinta, 2016 2. M. D. Ciletti, „Advanced Digital Design with the Verilog HDL”, Ediția doua, Editura Prantice Hall, Upper Saddle River, New Jersey, 2011. 3. N. H. E. Weste, D. M. Harris, CMOS VLSI Design - A Circuits and Systems Perspective, Ediția patra, Editura Pearson Education, 2011 4. S. Kilts, „Advanced FPGA Design: Architecture, Implementation, and Optimization”, Editura Wiley-IEEE Press, 2007 5. C.H. Roth, L. K. John, „Digital System Design Using VHDL”, Ediția doua, Editura Thomson Learning, Toronto, Canada, 2008. 6. M. Zwolinski, „Digital System Design with SystemVerilog”, Ediția Pearson Education, Crawfordsville, Indiana, 2009. 7. I. Bucur, „Proiectare si Testare Logica”, Editura Cartea Universitara, Bucuresti, 2006 8. S. Golson, „State Machine Design Techniques for Verilog and VHDL”, Synopsys Journal of High-Level Design, pp. 1-2, 1994 9. S. Nicola, „Circuite Integrate Numerice. Aplicații în mecatronică”, Ediția Universitaria, 2005 10. M. E. Ilaș, C. Ilaș, „Proiectarea Circuitelor Integrate Digitale Folosind Limbajul Verilog”, Ed. MatrixRom, 2011. 11. Z. F. Baruch, „Structure of Computer Systems”, Editura U. T. PRES, Cluj-Napoca, 2002 12. Z. F. Baruch, „Structura sistemelor de calcul”, Editura Albastră, Cluj-Napoca, 2005 13. S. Hintea, „Tehnici de Proiectare cu Aarii Logice”, Editura U. T. Press, 2003 14. D. Nicula, Electronică digitală - Carte de învățătură, Ediția doua, Editura Universității Transilvania din Brașov, 2015 15. S. Iman, S. Joshi, „The e Hardware Verification Language”, Editura Springer, 2004 16. L.M. Surhone, M. T. Tennoe, S. F. Henssonow, „OpenVera”, Editura Betascript Publishing, 2011. 17. J. Bhasker, „A SystemC Primer, Second Edition”, Editura Star Galaxy Publishing, 2004 		

18. B. S. Kirei, I. Dornean, A. Fazakas, M. Topa, "Comparing Verilog and VHDL", Proceedings of MicroCAD 2007, Miskolc, Hungary, pg. 35-40, 22-23 March 2007
19. Z. Hascsi, „Proiectarea Asistată de Calculator a Circuitelor Digitale”, Notiție de curs, <http://arh.pub.ro/zolih/courses/paccd/paccd.php>, 22 Aprilie 2016 (ultima vizualizare)
20. Janick Bergeron, Eduard Cerny, Alan Hunter, Andrew Nightingale, „Verification Methodology Manual for Systemverilog”, Springer, 2005

8.2 Seminar / laborator / proiect	Metode de predare	Observații
Impunerea cerintelor (studiu de caz/fezabilitate)	Expunere și aplicații	calculator, OrCAD, MATLAB
Studierea referințelor bibliografice și a soluțiilor existente		
Intocmirea conținutului tehnica		
Prezentarea rezultatelor preliminare		
Verificarea și îmbunătățirea a conținutului		
Elaborarea unei prezentări PowerPoint		
Teste finale		
Bibliografie		

9. Coroborarea conținuturilor disciplinei cu așteptările reprezentanților comunității epistemice, asociațiilor profesionale și angajatorilor reprezentativi din domeniul aferent programului

Competențele însușite vor fi necesare angajaților care-și desfășoară activitatea în cadrul serviciilor de managementul energetic; conținutul disciplinei, împreună cu deprinderile și abilitățile dobândite, corespund așteptărilor firmelor de profil la care studenții caută loc de muncă

10. Evaluare

Tip activitate	10.1 Criterii de evaluare	10.2 Metode de evaluare	10.3 Pondere din nota finală
10.4 Curs	Cunostinte teoretice	Examen	- E, max 10 puncte. 50%
10.5 Laborator /Proiect	Elaborarea unei teme de proiect și susținerea unei prezentări PowerPoint	Proba practică - 1 ora	- L, max. 10 puncte 50%
10.6 Standard minim de performanță			
L ≥ 5 and E ≥ 5			

Data completării:	Titulari	Titlu Prenume NUME	Semnătura
zz.II.aaaa	Curs	Conf. Dr. Ing. Botond Sandor Kirei	
18.10.2019	Aplicații	Conf. Dr. Ing. Botond Sandor Kirei	

Data avizării în Consiliul Departamentului

Director Departament

Prof.dr.ing. Hintea Sorin

Data aprobării în Consiliul Facultății

Decan

Prof.dr.ing. Gabriel Oltean

Vă rugăm să ștergeți toate comentariile/explicațiile trecute cu roșu în Fișa disciplinei!