

## Subiecte de examen SCID 2017

### P1 – Probleme de 1p

1. Structuri de circuite digitale CMOS
2. Circuite aritmetice
3. Memorii semiconductoare
4. Oscilatoare
5. Registre de deplasare cu reacție liniară

### P2 – Probleme de 2.5p

6. Registre de deplasare
7. Circuite cu memorii
8. Circuite cu arii logice programabile PLA

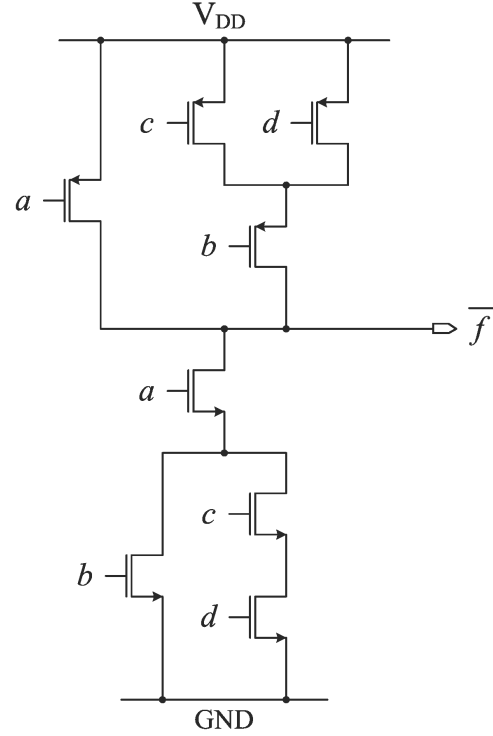
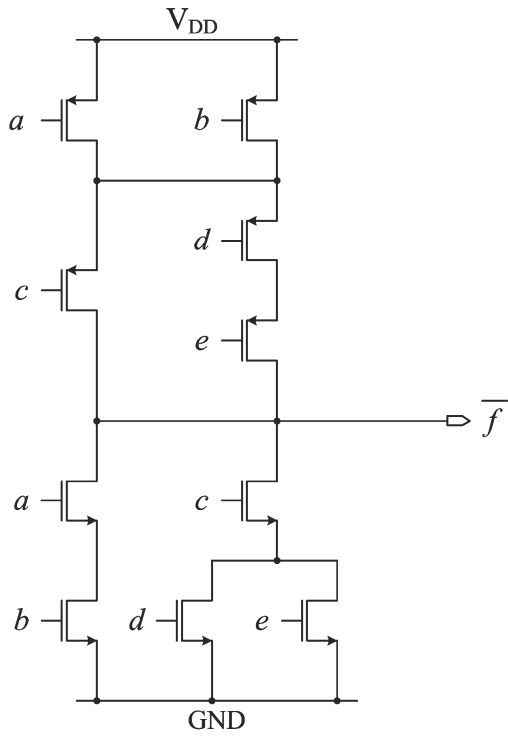
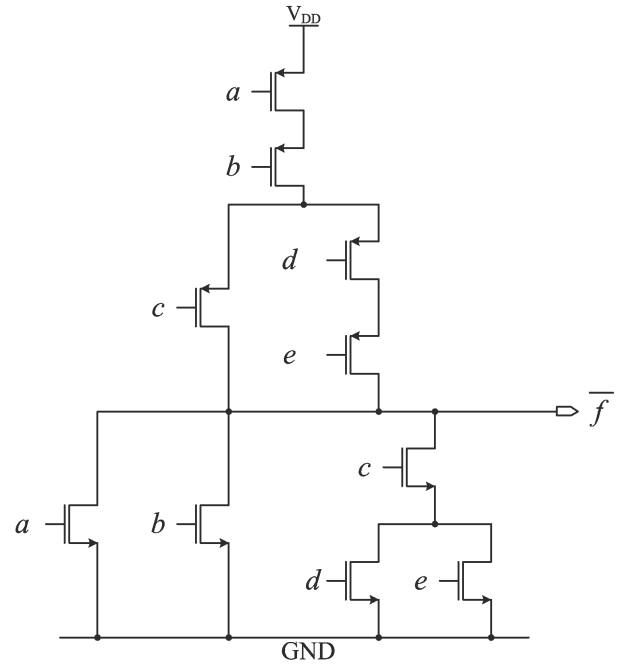
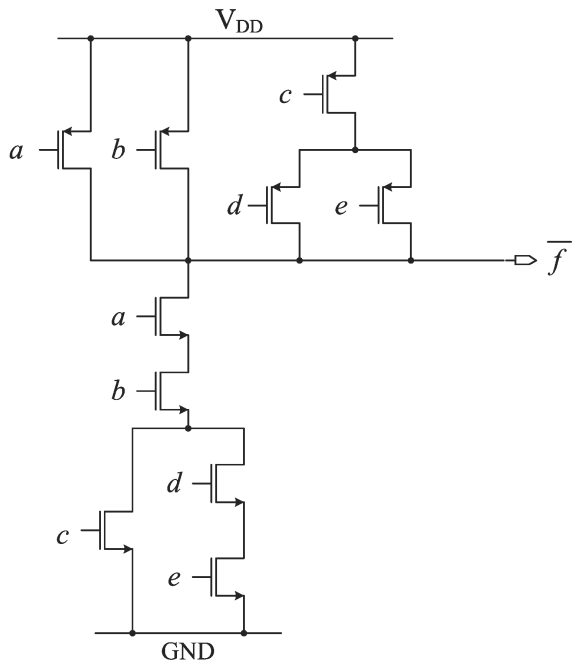
### **Structuri interne de circuite digitale CMOS (1p)**

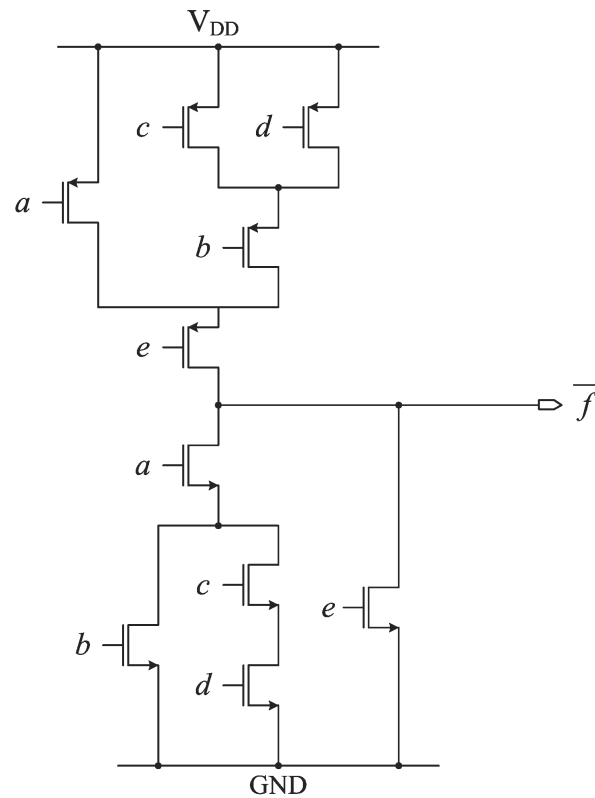
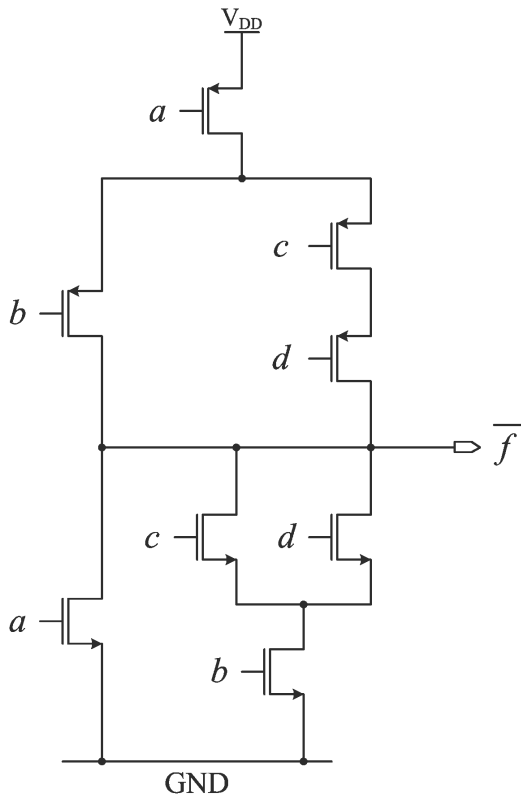
1. Tranzistorul MOS cu canal N : descriere ( 0.5p) si caracteristici de functionare ( 0.5p).
2. Inversorul CMOS, schema (0.25p) si descrierea regimurilor de functionare (0.75p).
3. Definiti parametrul  $\beta$  pentru tranzistoarele MOS ( 0.5p). Comparati valorile parametrului pentru cele doua tipuri de tranzistoare: cu canal  $n$  si cu canal  $p$  ( 0.5p).
4. Modul de calcul al rezistentelor de canal pentru tranzistoarele MOS ( formula si parametri 0.5p) . Comparati valorile rezistențelor in starea de conductie liniara ale tranzistoarelor NMOS ( $R_N$ ) si PMOS ( $R_P$ ) care au aceleași dimensiuni (0.5p).
5. Puterea disipată dinamică a circuitelor CMOS datorată curenților de scurt-circuit. Formula de calcul cu explicarea parametrilor (0.5) si descrierea comportarii circuitului cu diagram de semnale (0.5).
6. Puterea disipata dinamica a circuitelor CMOS datorată incarcarii si descarcarii capacitatii de sarcina. Formula de calcul cu explicarea parametrilor (0.5) si descrierea comportarii circuitului cu diagram de semnale (0.5).
7. Schema porții SI-NU cu 2 ( sau mai multe) intrări in tehnologie CMOS (0.5). Cum se modifica timpul de propagare al portii comparative cu inversorul CMOS (0.5).
8. Schema porții SAU-NU cu 2 ( sau mai multe) intrări in tehnologie CMOS (0.5). Cum se modifica timpul de propagare al portii comparativ cu inversorul CMOS (0.5).
9. Explicați structura cu tranzistoare și funcționarea porții de transmisie (0.5 p). Determinați și desenați structura cu porți de transmisie a unui MUX2:1(0.5 p).
10. Bistabilul D sincron pe front pozitiv de ceas realizat in tehnologie CMOS Schema logica(0.5p); Functionare (0.5p).

11. Bistabilul D sincron pe front negativ de ceas realizat in tehnologie CMOS Schema logica(0.5p); Functionare (0.5p).
12. Descrieti parametrii margine de zgomot (0.5p) si fanout (0.5p) pentru inversorul CMOS.
13. Din ce se compune capacitatea de sarcina a unui inversor CMOS (0.5p) si cum afecteaza aceasta sarcina consumul de putere dinamica a circuitului inversor (0.5p).
14. Aratati legatura intre timpii de propagare si tipul de tranzitie in cazul unui inversor CMOS (definitii (0.5p), diagrama de semnale (0.25p), formula (0.25p)).
15. Definiti timpul de tranzitie a semnalului prin inversorul CMOS (0.5p). Cum depinde timpul de propagare al unui inversor CMOS de geometria canalului (formula)? (0.5p)
16. Definiti timpul de propagare a semnalului prin inversorul CMOS (0.5p). Cum depinde timpul de propagare al unui inversor CMOS de geometria canalului (formula)? (0.5p)
17. Descrieti o metoda de reducere a timpilor de propagare in cazul unui circuit cu fan-out ridicat. De exemplu un inversor care comanda 10 intrari de alte inversoare. Schema circuitelor (0.5p) si modul de calcul al intarzierilor (0.5p).
18. Descrieti o metoda de reducere a timpilor de propagare in cazul unei porti SI-NU cu 8 intrari. Schema circuitelor (0.5p) si modul de calcul al intarzierilor (0.5p).
19. Comparati consumul de putere intre un inversor implementat in tehnologia CMOS si unul implementat in tehnologia nMOS.
20. Se implementeaza functia  $f=(AB+BC+CD)'$  in tehnologie CMOS. Desenati schema si dimensionati tranzistoarele astfel incat timpul de intarziere sa fie egal cu cel al unui inversor realizat cu tranzistoare de dimensiuni  $1/1$  (canal N) si  $2/1$ (canal P).

**Obs. Exemplul de mai sus implementeaza functii cu pana la 6 variabile. Textul problemei se reformuleaza pentru orice functie de pana la 6 variabile**

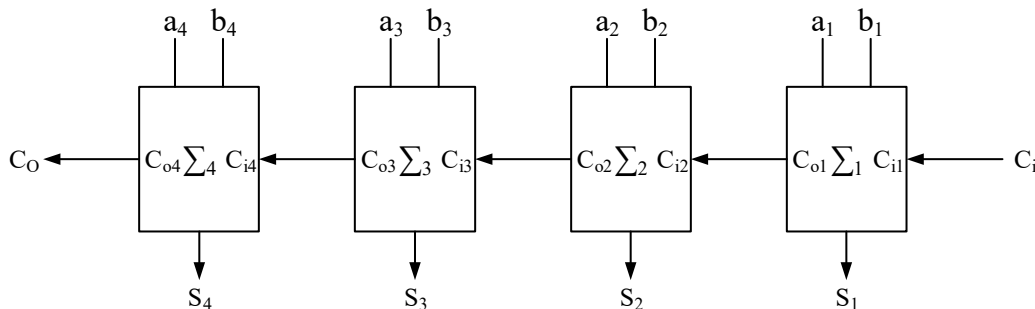
21. Dimensionati schema electrica a portii CMOS din figura in vederea **minimizarii si** echilibrarii timpilor de tranzitie, si exprimati functia pe care o implementeaza.



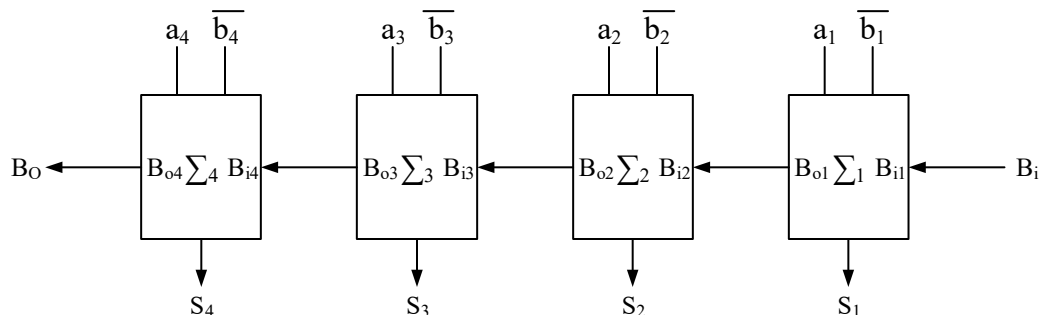


### Circuite aritmetice (1p)

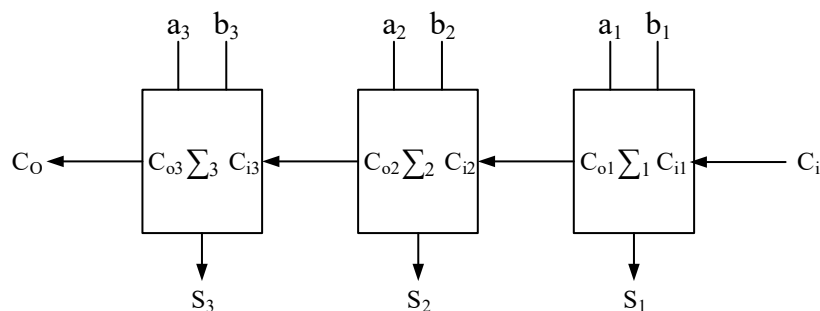
22. Sumator incomplet si complet pentru cuvinte de 1 bit. Tabel de adevar (0.5p) , schema si functionare (0.5p).
23. Utilizand doua sumatoare incomplete pentru cuvinte de 1 bit, determinati schema sumatorului complet pe 1 bit. Schema (0.5p) si functionare cu expresia logica a iesirilor (0.5p).
24. Sumator paralel pentru cuvinte de 4 biti. Schema si functionare (0.5p). Explicati dezavantajele conectarii in cascada a patru sumatoare complete pentru a implementa un sumator pe 4 biti (0.5p).
25. Sumator serie pentru cuvinte de 4 biti. Schema (0.5p) si descrierea functionarii (0.5p).
26. Sumator / scazator pentru cuvinte de 4 biti Schema (0.5p) si descrierea functionarii (0.5p).
27. Circuit de multiplicare pentru cuvinte de 4 biti Schema (0.5p) si descrierea functionarii (0.5p).
28. Se da sumatorul pe 4 biti cu procesare paralela. Sumatorul este folosit pentru a aduna vectorii  $A = [0011]$  si  $B = [1001]$ . Descrieti functionarea sumatorului. Semnalul carry de intrare se considera  $C_i = '0'$



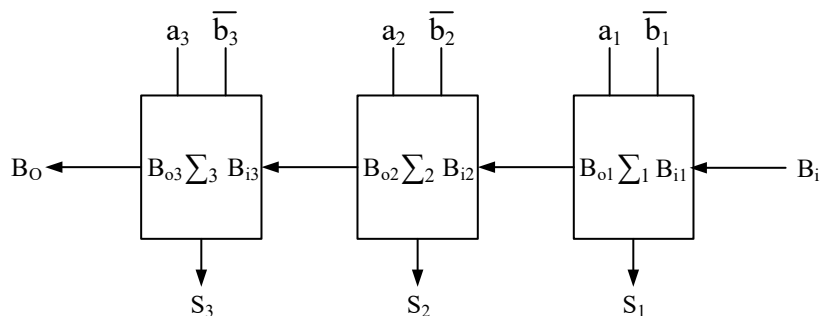
29. Se rezolvă problema precedentă în condițiile în care sumatorul lucrează ca scăzător: intrările „b” ale sumatoarelor sunt biții inversați ai cuvântului  $B = [0011]$  care se adună cu  $A = [1000]$  iar semnalul carry de intrare se consideră  $B_i = '1'$ .



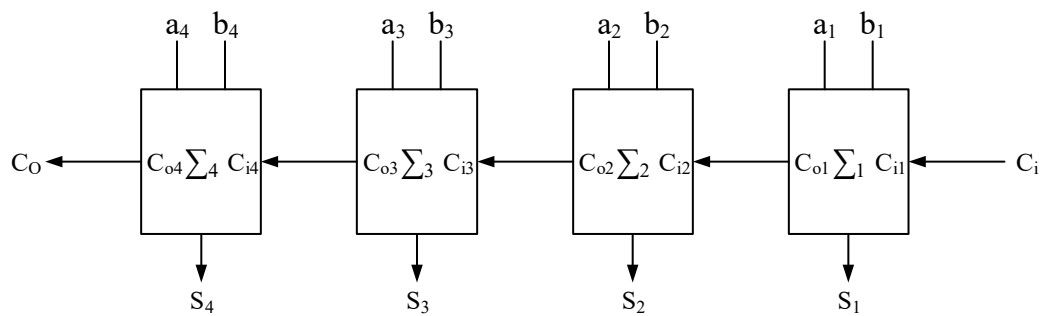
30. Se dă sumatorul pe 3 biți cu procesare paralelă. Sumatorul este folosit pentru a aduna vectorii  $A = [100]$  și  $B = [011]$ . Descrieți funcționarea sumatorului și desenați diagrama de semnale. Semnalul carry de intrare se consideră  $C_i = '1'$ .



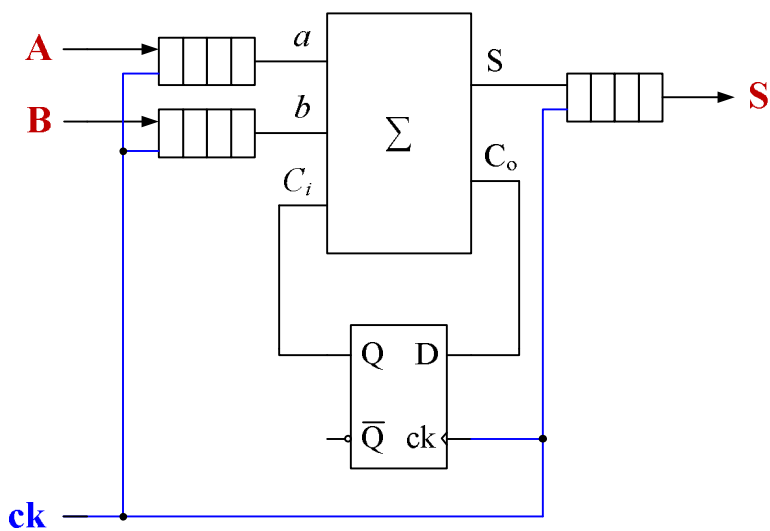
31. Se rezolvă problema precedentă în condițiile în care sumatorul lucrează ca scăzător: intrările „b” ale sumatoarelor sunt biții inversați ai cuvântului  $B = [011]$  care se adună cu  $A = [100]$  iar semnalul carry de intrare se consideră  $B_i = '1'$ .



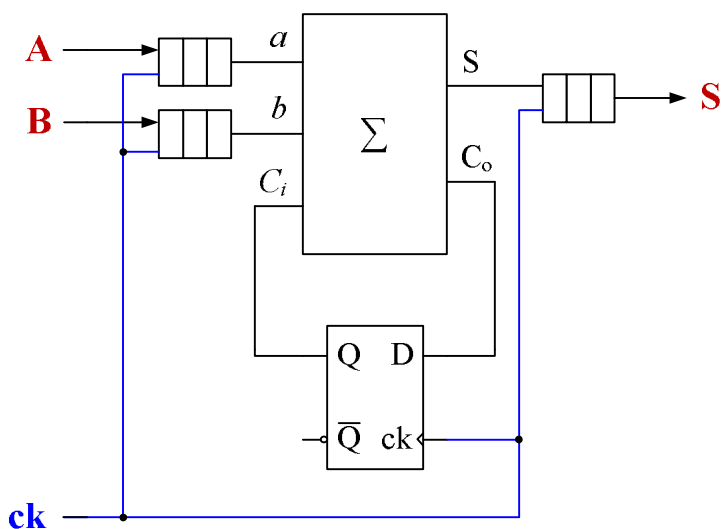
32. Se dă sumatorul pe 4 biți cu procesare paralelă. Sumatorul este folosit pentru a aduna valoarea 5 la un vector pe 4 biți. Vectorul de intrare ia pe rând valorile  $[1011]$ ,  $[1001]$  și  $[0111]$ . Descrieți funcționarea sumatorului. Semnalul carry de intrare se consideră  $C_i = '0'$ .



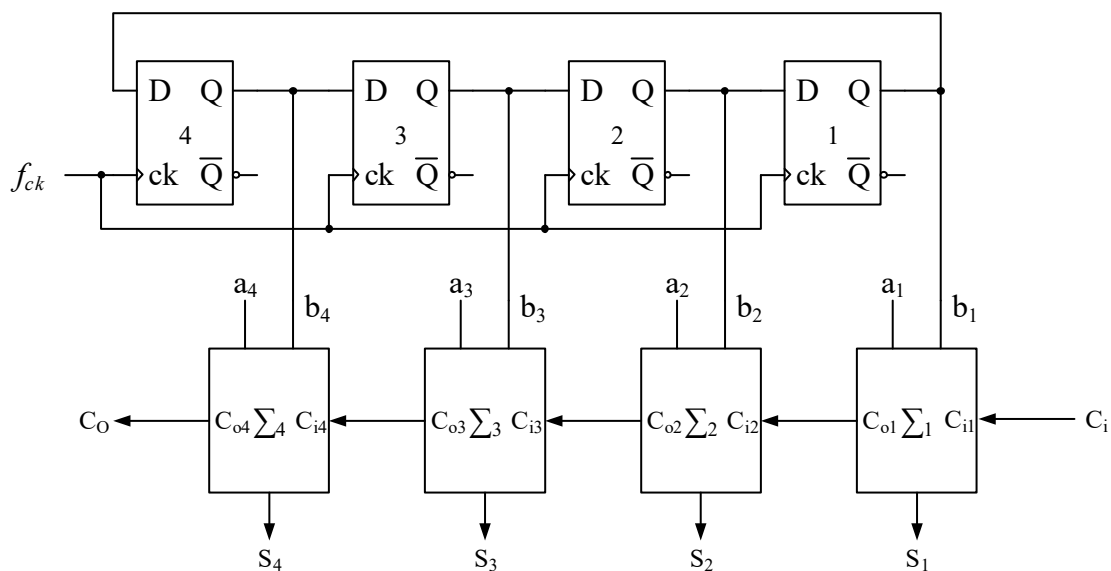
33. Se dă sumatorul pe 4 biți cu procesare serială. Sumatorul este folosit pentru a aduna vectorii  $A = [0011]$  și  $B = [1001]$ . Descrieți funcționarea sumatorului.



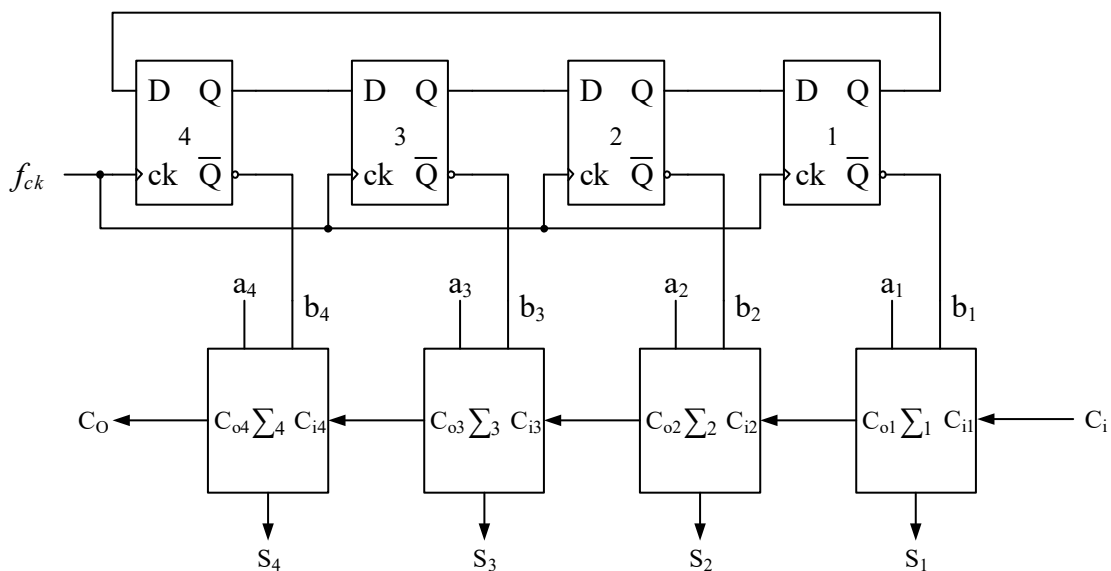
34. Se dă sumatorul pe 3 biți cu procesare serială. Sumatorul este folosit pentru a aduna vectorii  $A = [100]$  și  $B = [011]$ . Descrieți funcționarea sumatorului.



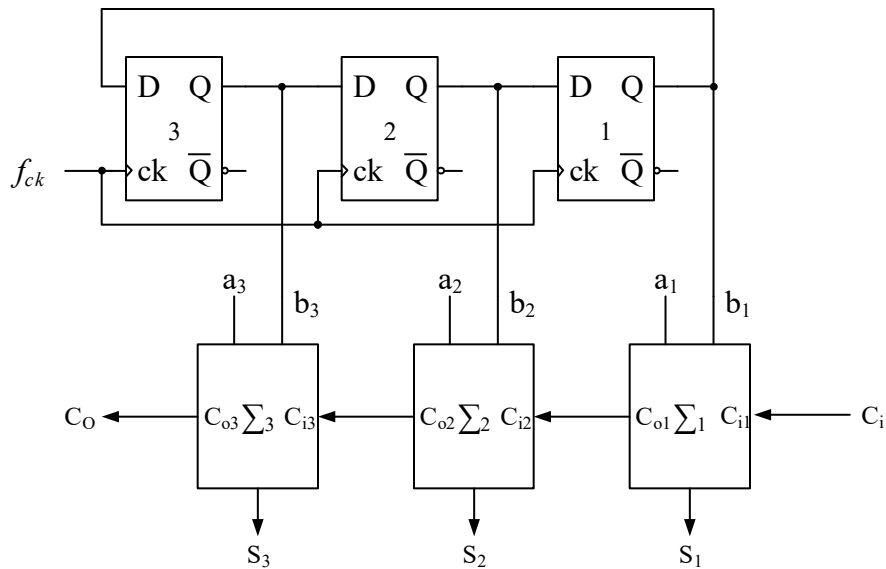
35. Se dă circuitul din figură, în care biții de ieșire ai unui numărator în inel sunt aplicați pe biții de intrare ai unui sumator cu procesare paralelă. La cealaltă intrare a sumatorului se aplică cuvântul  $A = [0100]$ . Se consideră „0001” starea inițială a număratorului în inel. Semnalul carry de intrare se consideră  $C_i = '0'$ . Desenați organigrama de tranziții la ieșirea sumatorului.



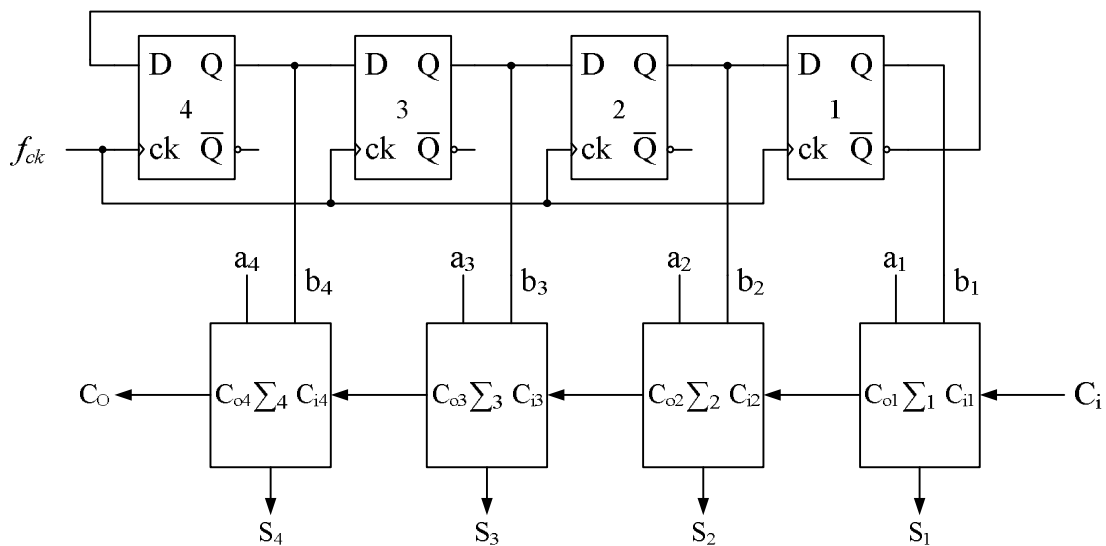
36. Se rezolvă problema precedentă în condițiile în care intrările „b” ale sumatorului se iau de la ieșirile negate Q iar semnalul carry de intrare se consideră  $C_i = '1'$ .



37. Se dă circuitul din figură, în care biții de ieșire ai unui numărator în inel sunt aplicați pe biții de intrare ai unui sumator cu procesare paralelă. La cealaltă intrare a sumatorului se aplică  $A = [100]$ . Se consideră 011 starea inițială a număratorului în inel. Semnalul carry de intrare se consideră  $C_i = '0'$ . Desenați organigrama de tranziții la ieșirea sumatorului.

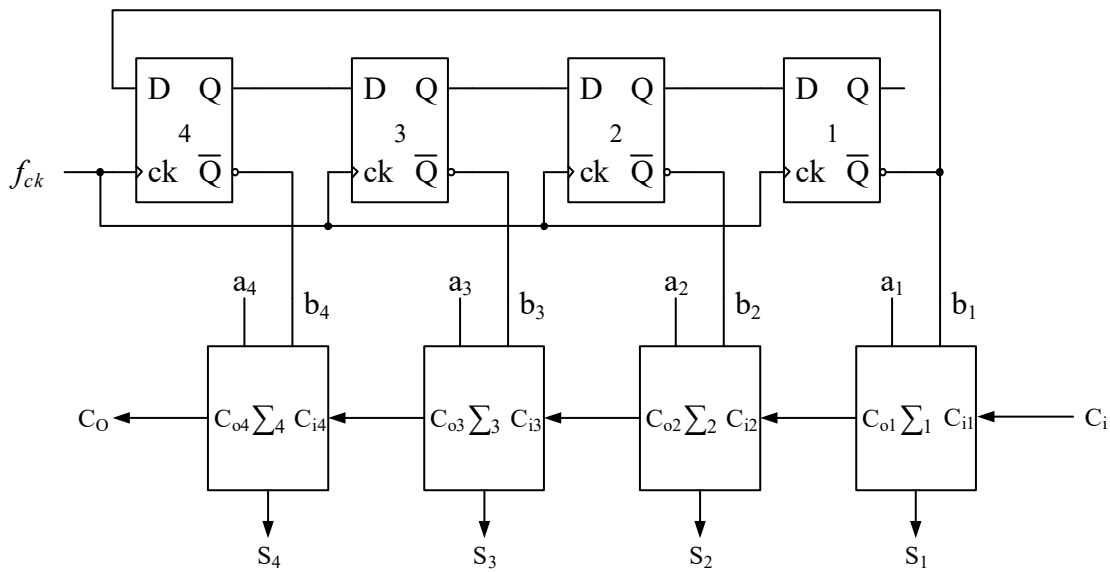


38. Se dă circuitul din figură, în care biții de ieșire ai unui numărator Johnson sunt aplicați pe biții de intrare ai unui sumator cu procesare paralelă. La cealaltă intrare a sumatorului se aplică  $A = [0100]$ . Se consideră 0000 starea inițială a numărătorului în inel. Semnalul carry de intrare se consideră  $C_i = '0'$ . Desenați organigrama de tranziții la ieșirea sumatorului.

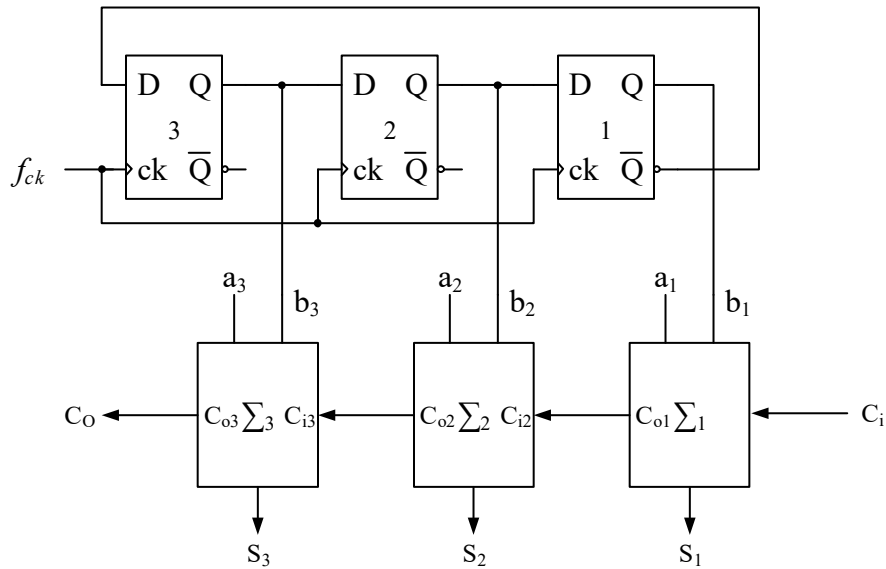


39. Se rezolvă problema precedentă în condițiile în care intrările „b” ale sumatorului se iau de la ieșirile negate Q iar semnalul carry de intrare se consideră  $C_i = '1'$ .

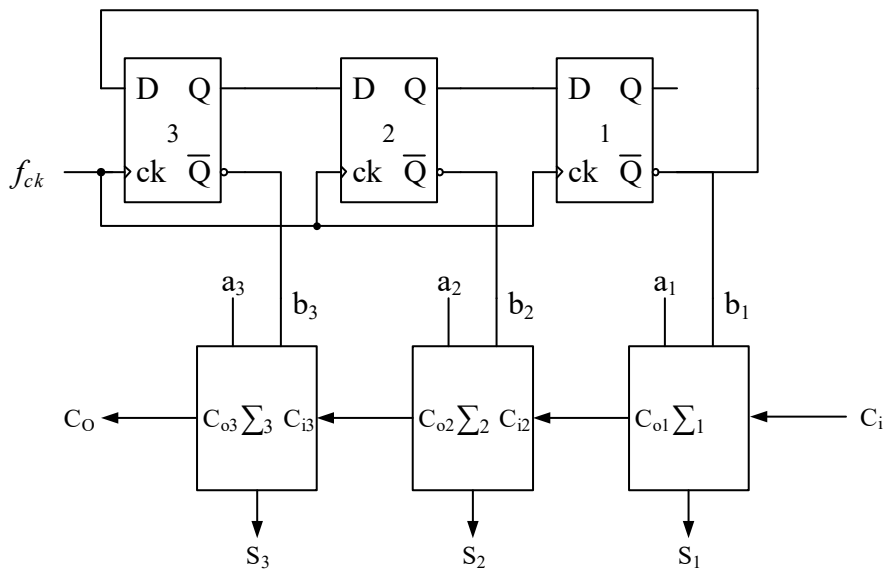




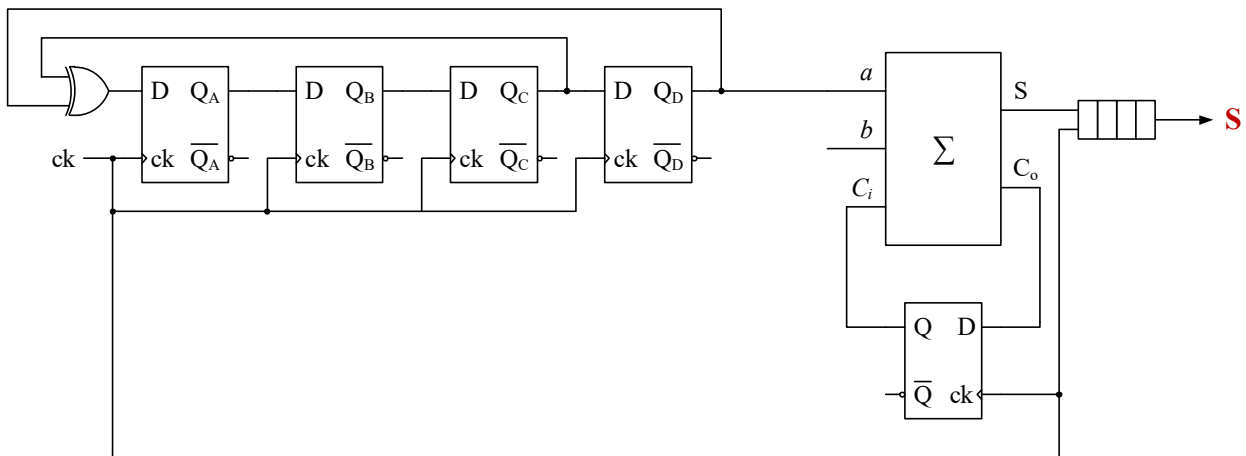
40. Se dă circuitul din figură, în care biții de ieșire ai unui numărator Johnson sunt aplicați pe biții de intrare ai unui sumator cu procesare paralelă. La cealaltă intrare a sumatorului se aplică  $A = [010]$ . Se consideră 000 starea inițială a numărătorului în inel. Semnalul carry de intrare se consideră  $C_i = '0'$ . Desenați organigrama de tranziții la ieșirea sumatorului.



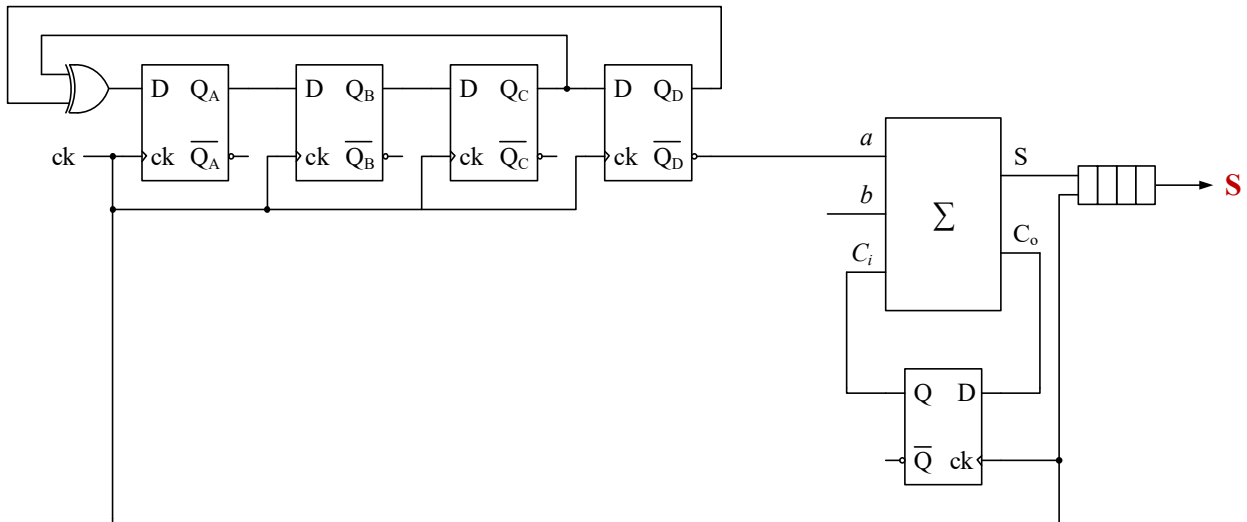
41. Se rezolvă problema precedentă în condițiile în care intrările „b” ale sumatorului se iau de la ieșirile negate Q iar semnalul carry de intrare se consideră  $C_i = '1'$ .



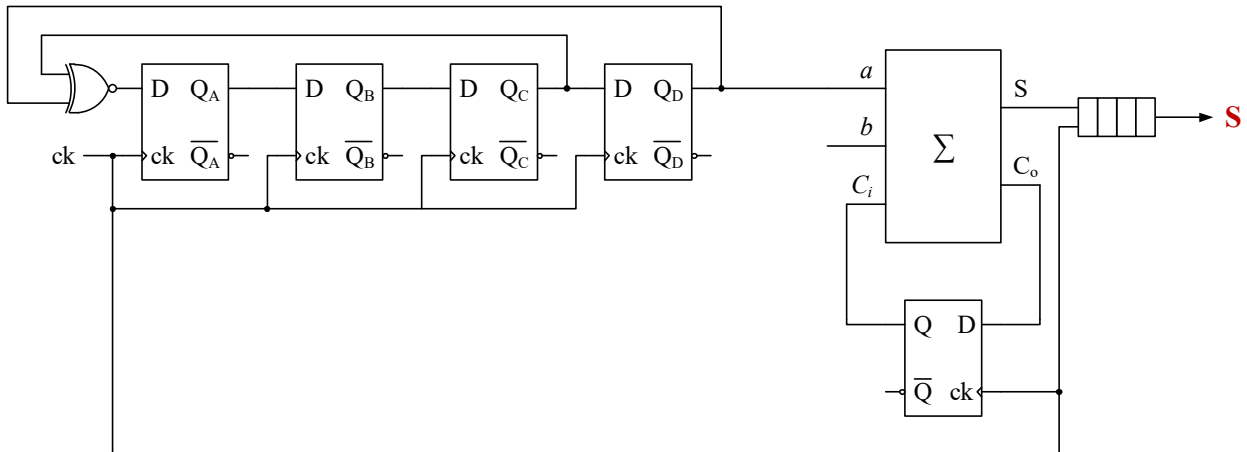
42. Se dă circuitul din figură, în care biții de ieșire ai unui automat secvențial sunt aplicați pe biții de intrare ai unui sumator cu procesare serială. La cealaltă intrare a sumatorului se aplică valoarea ,1' logic. Se consideră 0001 starea inițială a automatului secvențial. Desenați organigrama de tranziții la ieșirea sumatorului.



43. Se rezolvă problema precedentă în condițiile în care intrarea „a” a sumatorului se ia de la ieșirea negată  $Q_D$ .



44. Se dă circuitul din figură, în care biții de ieșire ai unui automat secvențial sunt aplicați pe biții de intrare ai unui sumator cu procesare serială. La cealaltă intrare a sumatorului se aplică valoarea ,1' logic. Se consideră ,0001' starea inițială a automatului secvențial. Desenați organigrama de tranziții la ieșirea sumatorului.



45. Se rezolvă problema precedentă în condițiile în care intrarea „a” a sumatorului se ia de la ieșirea negată  $Q_D$ .



57. Implementati o memorie de capacitate 1M x 8 folosind cipuri de capacitate 128k x 4. Schema de conexiuni (1p).

**Obs. Textul problemei se reformuleaza pentru extinderea oricărei memorii la orice dimensiune mai mare**

58. Implementati functia  $f=P_0+P_2+P_3+P_9+P_{12}$  cu o memorie de 32x8 incepand cu adresa 0 (functie data sub forma canonica sau minimizata de 4 variabile cu memorie de 5 adrese). Schema logica (0.5p); Tabelul de programare (0.5p).
59. Implementati functia  $f=P_0+P_2+P_3+P_9+P_{12}$  cu o memorie de 32x8 incepand cu adresa 16 (functie data sub forma canonica sau minimizata de 4 variabile cu memorie de 5 adrese). Schema logica (0.5p); Tabelul de programare (0.5p).
60. Implementati functia  $f=P_0+P_2+P_3+P_9+P_{12}$  cu o memorie de 16x8 incepand cu adresa 0 (functie data sub forma canonica sau minimizata de 4 variabile cu memorie de 4 adrese). Schema logica (0.5p); Tabelul de programare (0.5p).
61. Implementati functia  $f=P_0+P_2+P_3+P_9+P_{27}$  cu o memorie de 16x8 incepand cu adresa 0 (functie data sub forma canonica sau minimizata de 5 variabile cu memorie de 5 adrese). Schema logica (0.5p); Tabelul de programare (0.5p).
62. Implementati sumatorul complet cu o memorie de 32x8 incepand cu adresa 0 (sau 8, 16, 24). Schema logica (0.5p); Tabelul de programare (0.5p).
63. Implementati functia votului majoritar cu o memorie de 32x8 incepand cu adresa 0 (sau 8, 16, 24). Schema logica (0.5p); Tabelul de programare (0.5p).

**Obs. Textul problemei se reformuleaza pentru orice functie combinațională**

### **Oscilatoare (1p)**

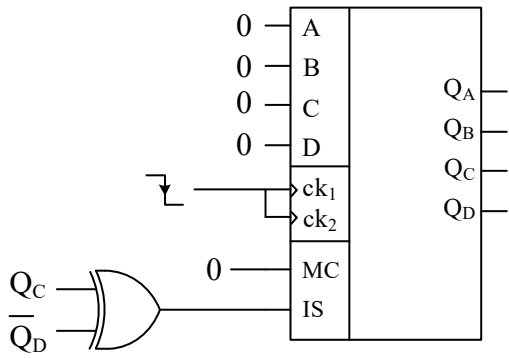
64. Implementati un oscilator cu poarta Trigger Schmitt si retea RC avand frecventa de oscilatie de 100 MHz. Schema circuitului (0.5p); Functionare cu diagrama de semnale (0.5p)
65. Implementati un oscilator cu porti inversoare si retea RC avand frecventa de oscilatie de 100 MHz. Schema circuitului (0.5p); Functionare cu diagram de semnale (0.5p)
66. Implementati un oscilator in inel cu 5, 7 sau 9 porti inversoare avand frecventa de oscilatie de 1 GHz. Schema circuitului (0.5p); Functionare cu diagram de semnale (0.5p)

### **Registre de deplasare cu reacție liniară (1p)**

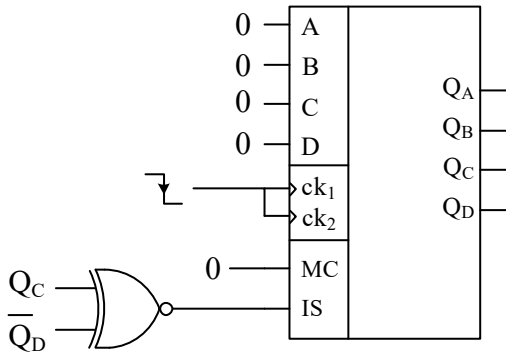
Se da circuitul din figură cu un registru de deplasare 7495 la care MC este legat la 0 logic. Se cer :

- Diagrama de tranzitie a automatului
- Desenati forma semnalului QA ( sau QB, QC, QD) pentru un semnal de tact dat

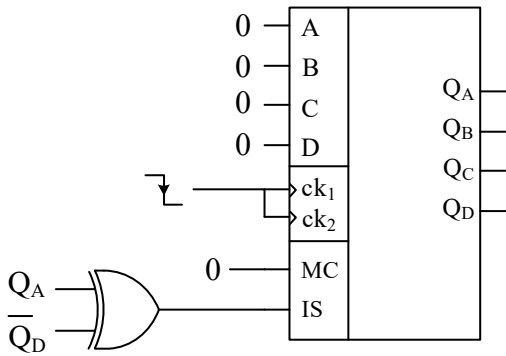
67. Se consideră starea inițială 0000



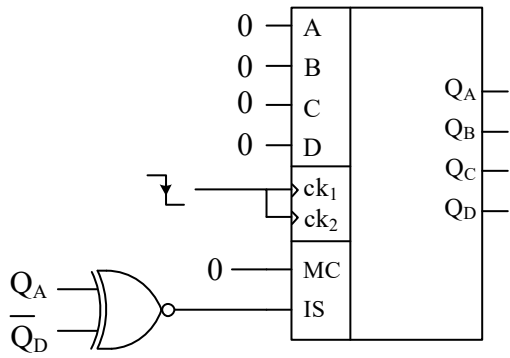
68. Se consideră starea inițială 0001



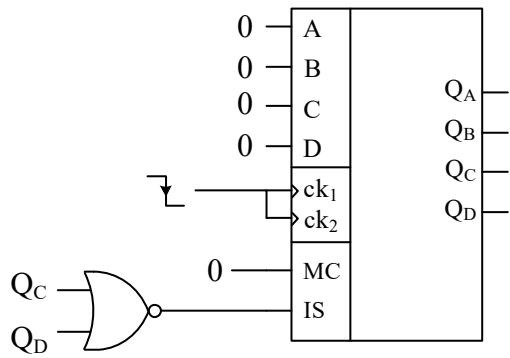
69. Se consideră starea inițială 1000



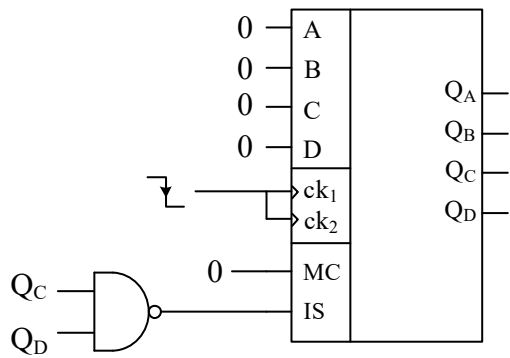
70. Se consideră starea inițială 1010



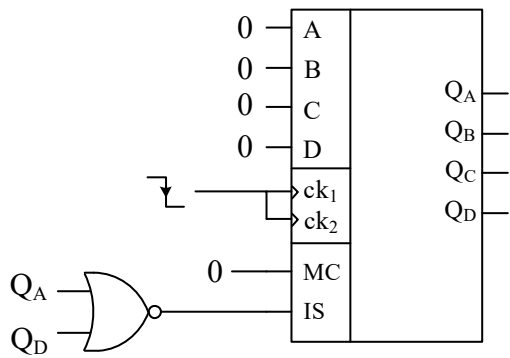
71. Se consideră starea inițială 0000



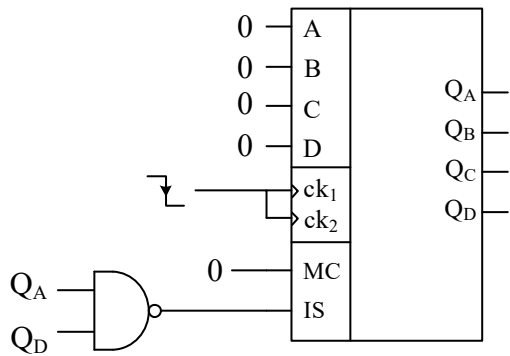
72. Se consideră starea inițială 1000



73. Se consideră starea inițială 0100



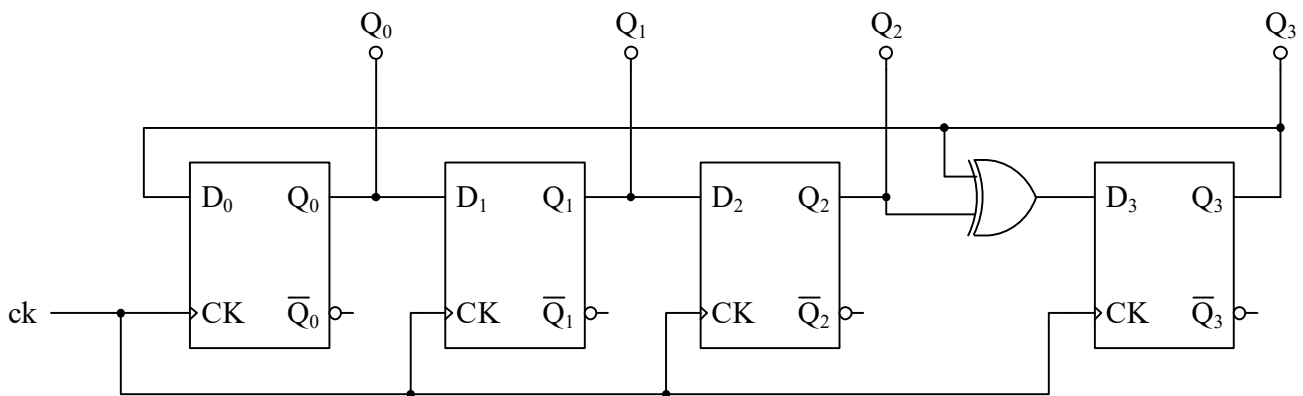
74. Se consideră starea inițială 1011



Se dă circuitul din figură. Se cer :

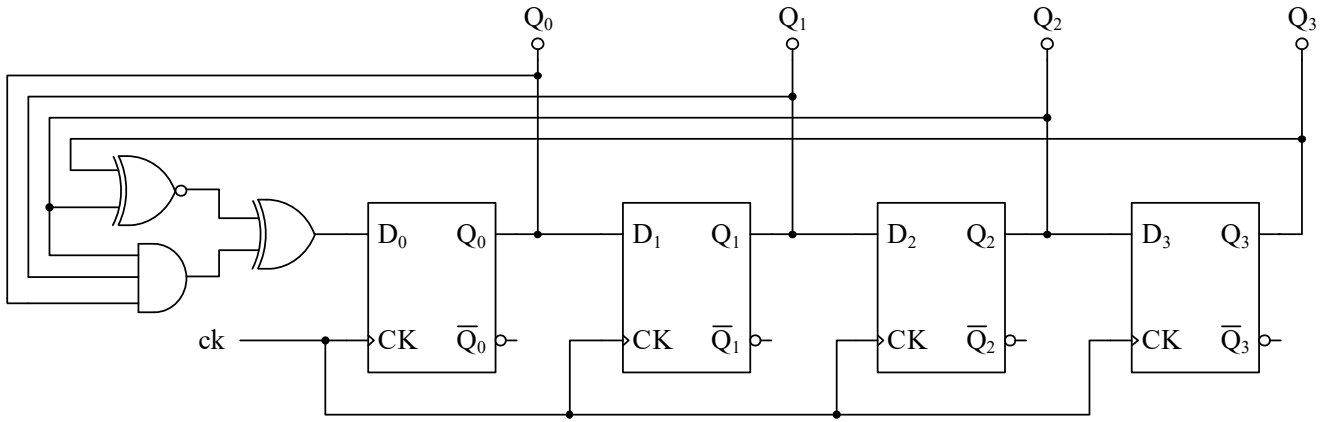
- Diagrama de tranziție a automatului
- Desenati forma semnalului Q0 ( sau Q1, Q2, Q3) pentru un semnal de tact dat

75. Se consideră starea inițială 0001

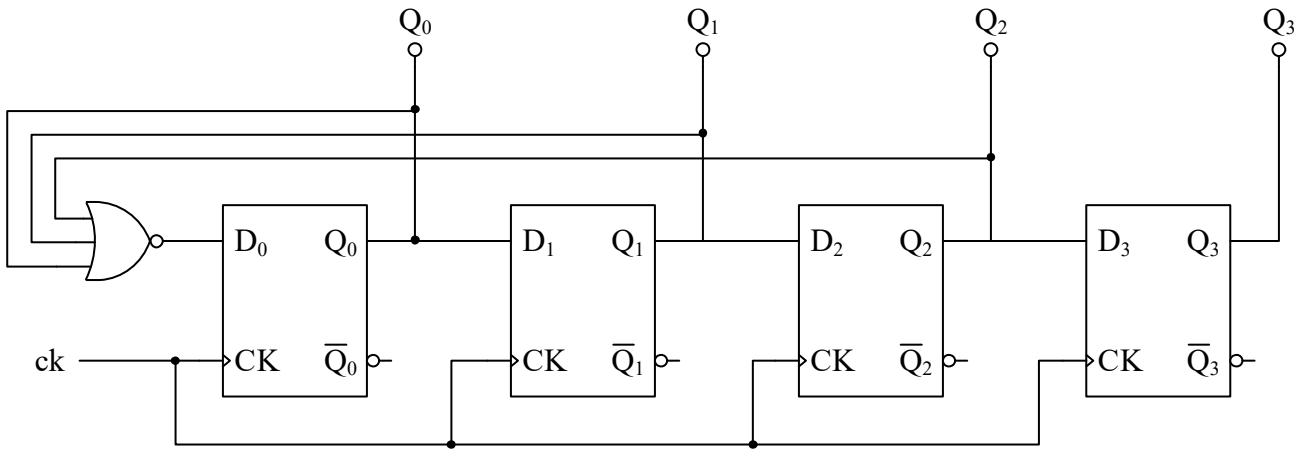


76. Se consideră starea inițială 0000

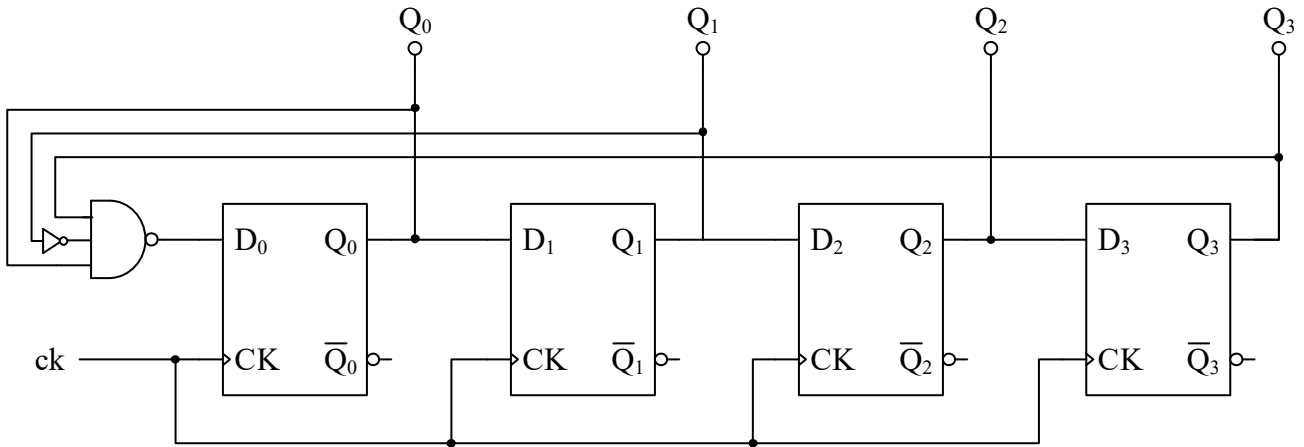




77. Nr inel cu autoamorsare ( autopornire)

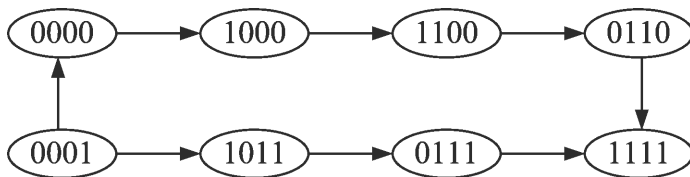


78. Nr Johnson cu autoamorsare ( autopornire)



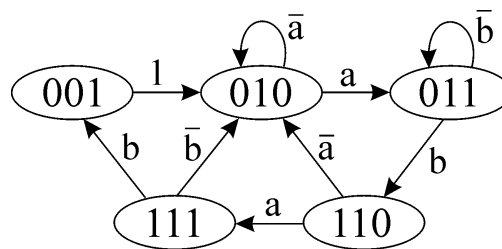
## P2 - Tipuri de probleme de 2.5 puncte

1. Să se implementeze automatul secvențial cu evoluția din figură cu numărător 74163 și o memorie de 32x8.



**Obs. Se poate modifica organigrama automatului secvențial, nr de bistabile (3 sau 4), tipul bistabilelor D sau JK, numărător 74163 și registrul de deplasare 7495.**

2. Să se implementeze automatul secvențial cu evoluția din figură cu numărător 74163 și o memorie de 32x8.

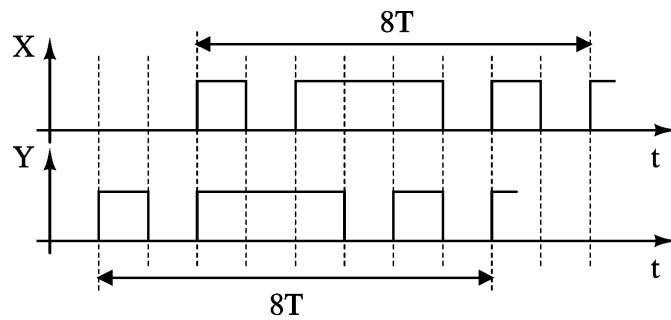


**Obs. Se poate modifica organigrama automatului, numarul variabilelor externe a si/sau b, și capacitatea memoriei.**

3. Să se implementeze cu 3 bistabile D și PLA un circuit care să numere de la „000” la „101” (numărător modulo 6).

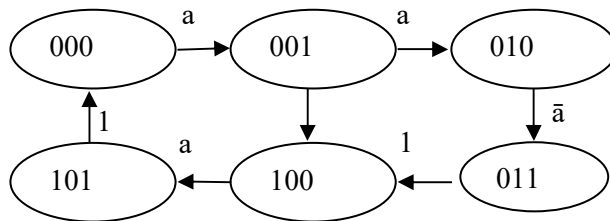
**Obs. Se poate modifica organigrama automatului secvențial, nr de bistabile (3 sau 4), tipul bistabilelor D sau JK, numărător 74163 și registrul de deplasare 7495.**

4. Să se proiecteze un automat secvențial cu registrul de deplasare 7495 și porți ȘI-NU care să genereze simultan semnalele din figură, astfel încât un număr maxim de tranziții să se realizeze prin deplasare serie.



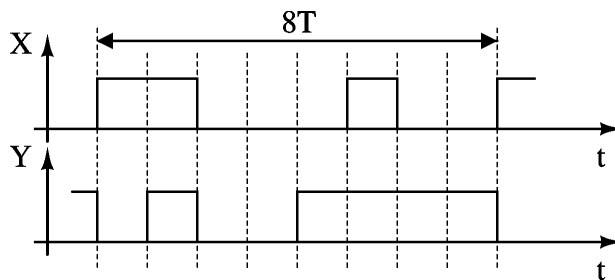
**Obs. Se pot modifica diagramele celor doua semnale și tipul porților/multiplexoarelor folosite la implementare**

5. Să se implementeze cu 3 bistabile D si PLA un automat care să evolueze conform organigramei din figura:



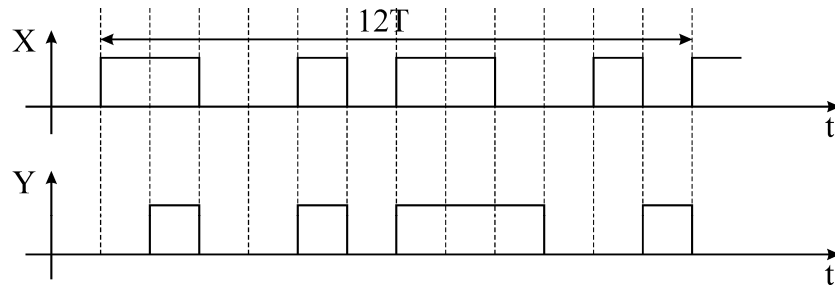
**Obs. Se poate modifica organigrama automatului secvential , nr de bistabile ( 3 sau 4), tipul bistabilelor D sau JK, numărător 74163 și registru de deplasare 7495.**

6. Să se implementeze un automat secvential care sa furnizeze semnalele din figură cu numărătorul 74163 și o memorie 32x8 astfel încât semnalele să fie generate la ieșirile numărătorului, iar majoritatea tranzițiilor să se facă prin numărare.



**Obs. Se pot modifica diagramele celor doua semnale și tipul porților/multiplexoarelor folosite la implementare**

7. Să se proiecteze un generator pentru semnalele din figura de mai jos, folosind o memorie 32x8 și un numărător de adrese realizat cu circuitul 74163. Datele vor fi memorate începând de la linia 2 a memoriei.



**Obs. Se pot modifica diagramele celor doua semnale si adresa incepand cu care se stocheaza datele**

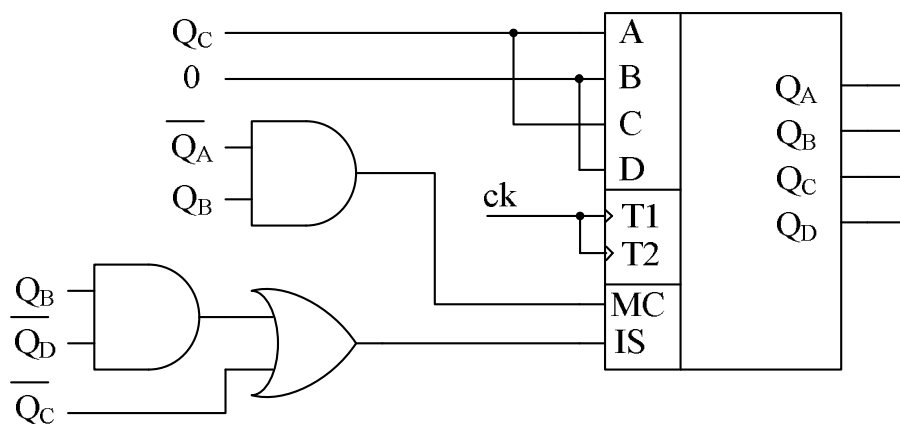
8. Să se proiecteze un convertor serie- paralel pe 7 biți cu registre de deplasare 7495 (inclusiv oscilatorul de 490 kHz și divizorul de frecvență cu 7).

**Obs. Se pot modifica nr de biti si frecventa oscilatorului**

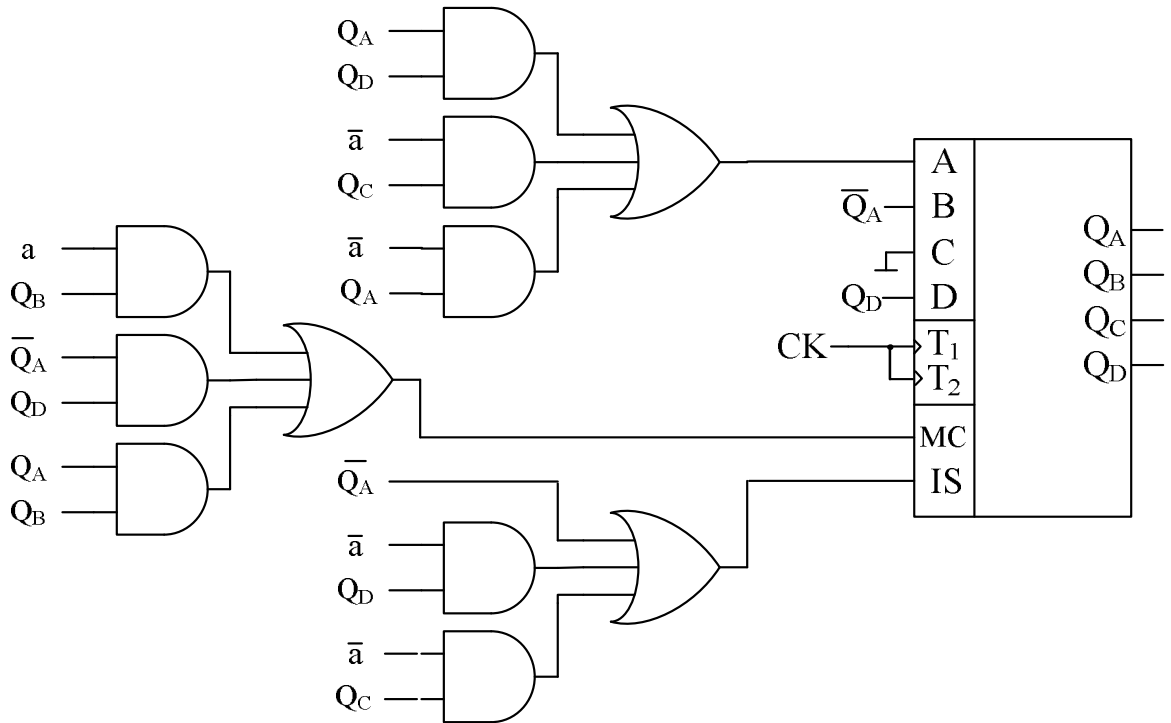
9. Proiectați un convertor paralel-serie pe 6 biți cu registre de deplasare 7495 (inclusiv oscilatorul de 360 kHz și divizorul de frecvență cu 6).

**Obs. Se pot modifica nr de biti si frecventa oscilatorului**

10. Sa se analizeze functionarea circuitului din figura ( **registru de deplasare 7495 cu porti logice / MUX**). Rezultat: organigrama de tranzitii fara variabile externe.



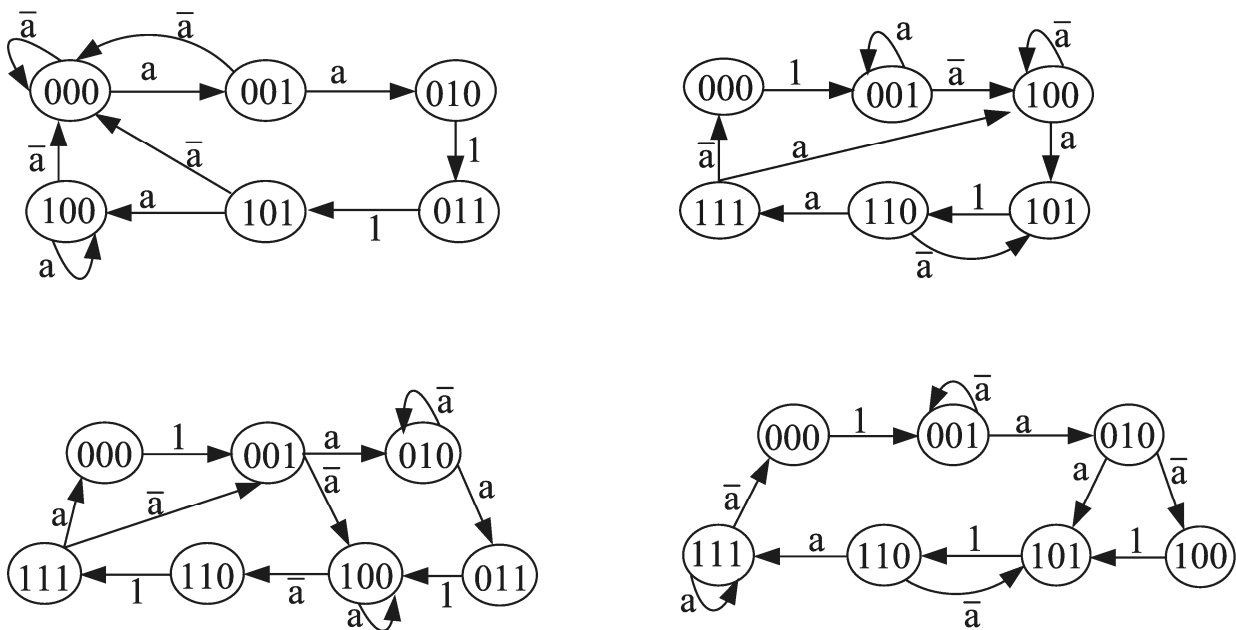
11. Sa se analizeze functionarea circuitului din figura ( **registru de deplasare 7495 cu porti logice / MUX**). Rezultat: organigrama de tranzitii cu variabile externe.

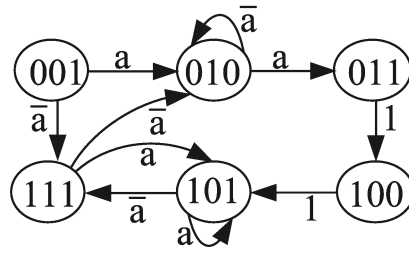
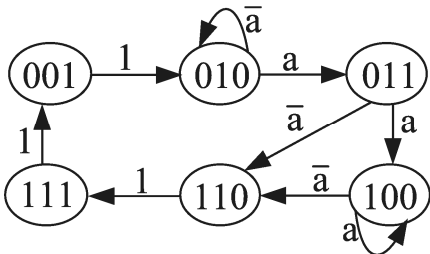
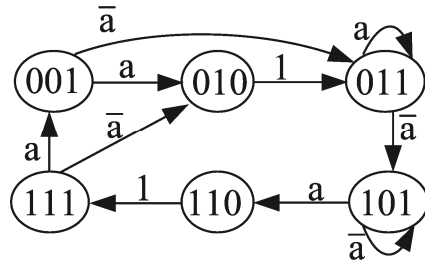
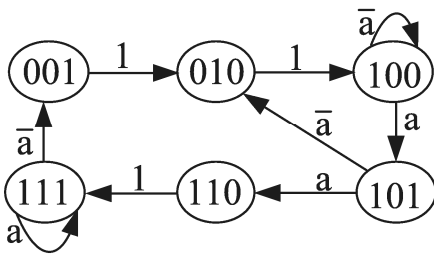
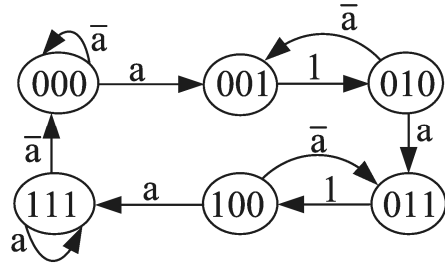
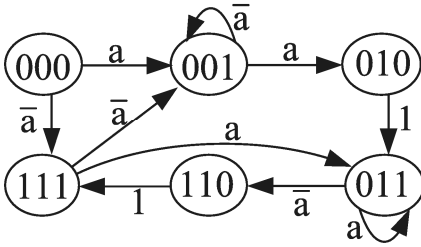
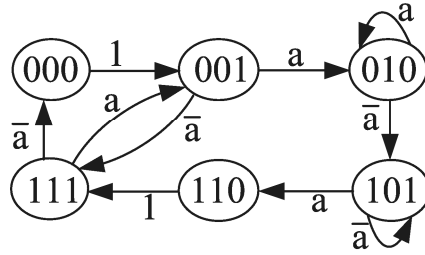
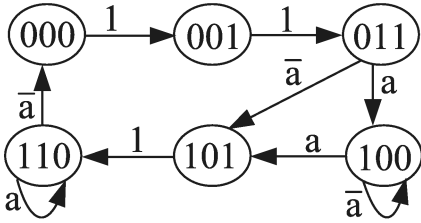
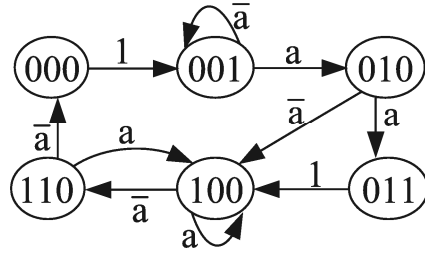
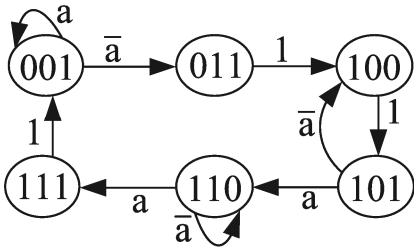


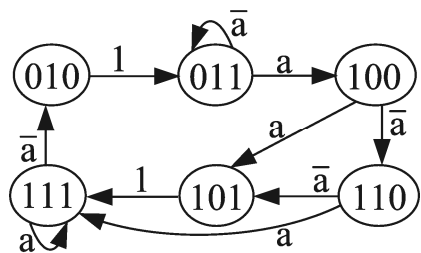
Obs. Se pot modifica schemele electrice cu implementarea CLC cu porți, multiplexoare, etc.

## Anexe

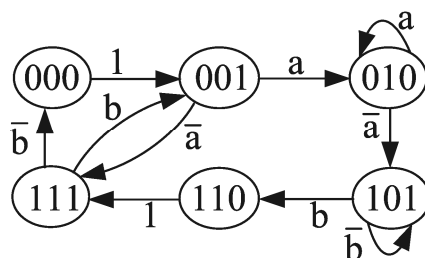
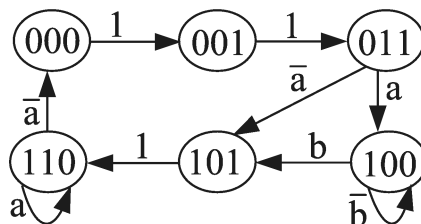
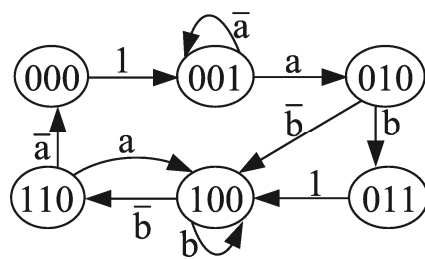
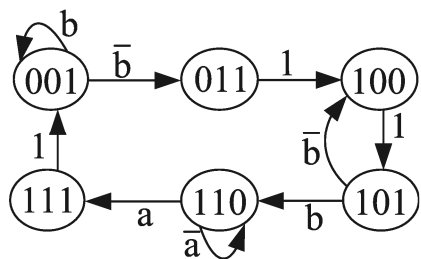
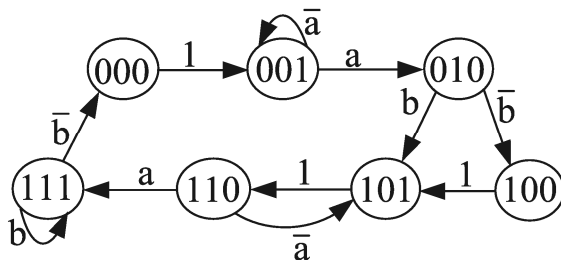
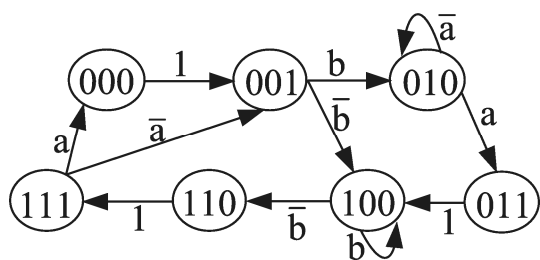
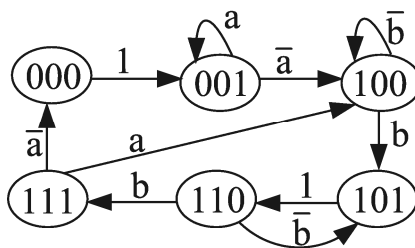
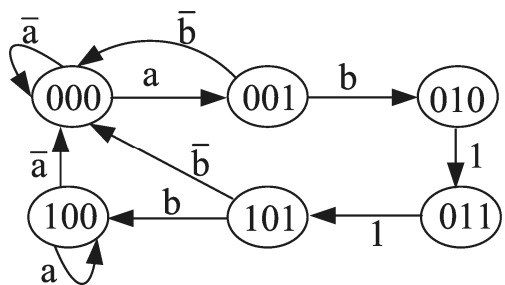
Exemple de organigrame pentru automate de stare cu variabile

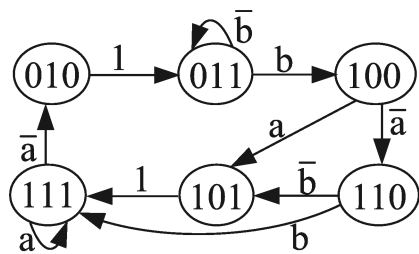
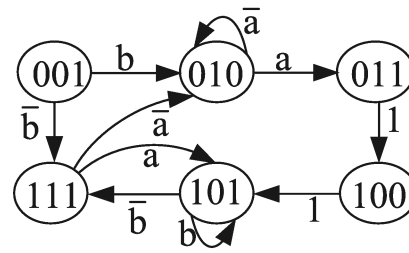
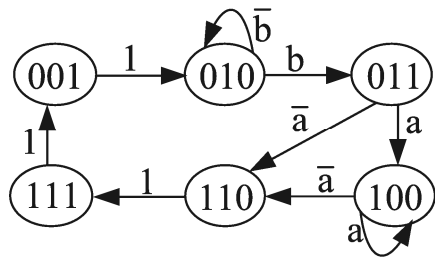
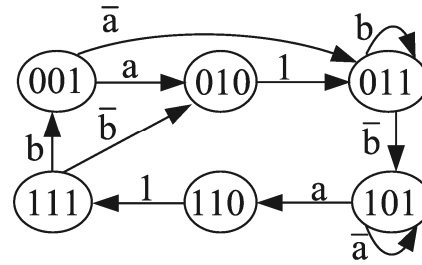
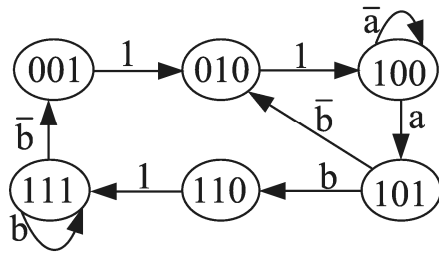
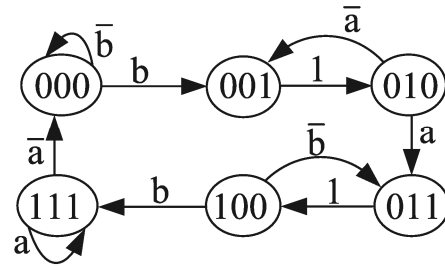
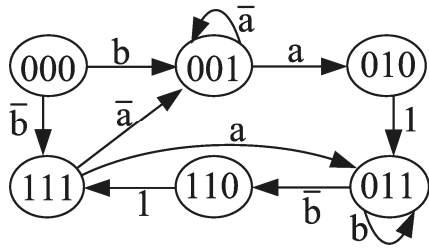




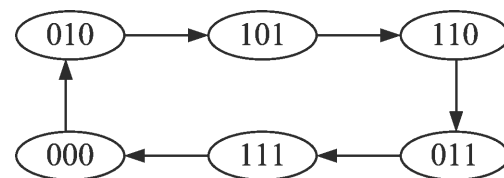
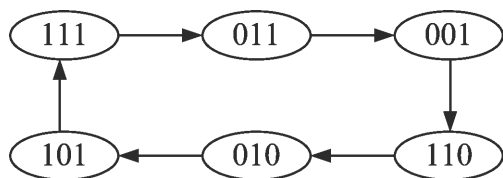
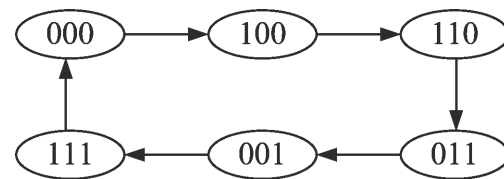
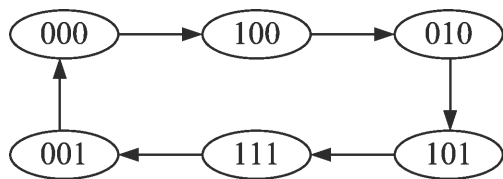


-----Aceiasi dar cu a si b-----

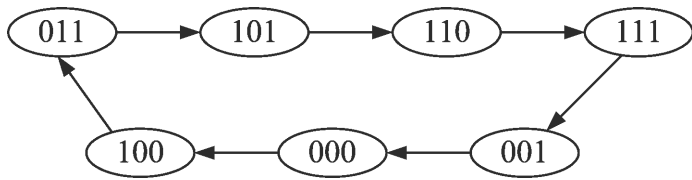
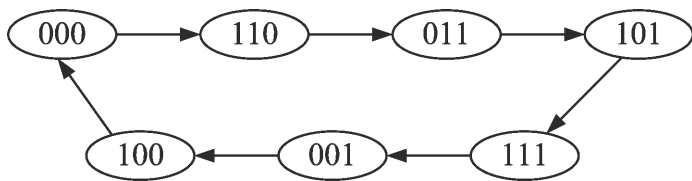
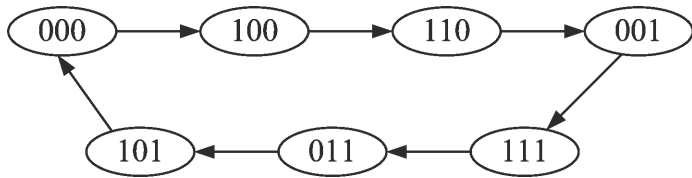
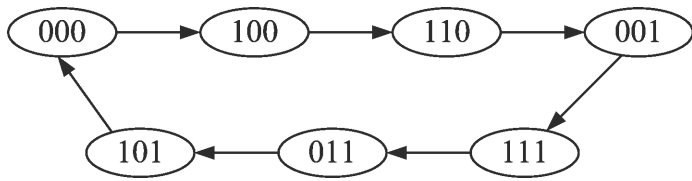




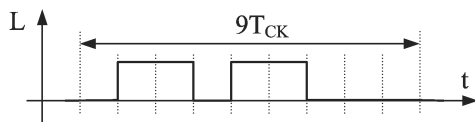
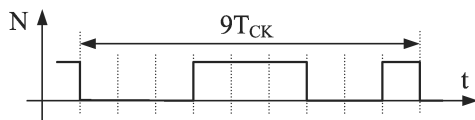
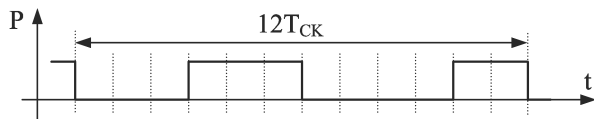
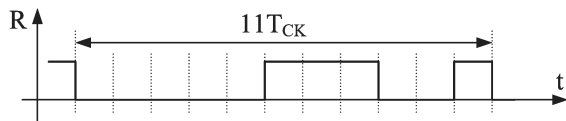
Exemple de organigrame pentru automate secventiale

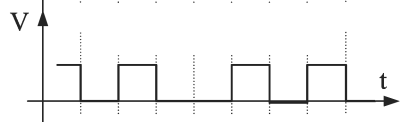
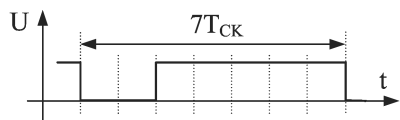
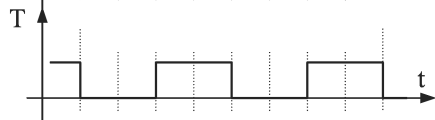
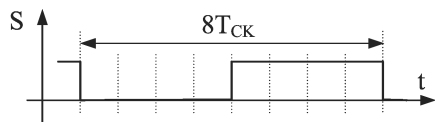
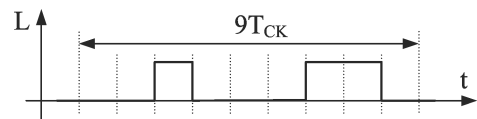
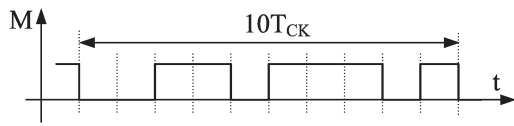
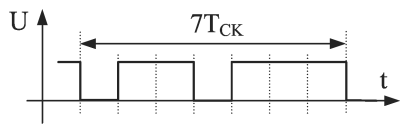
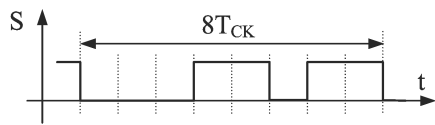


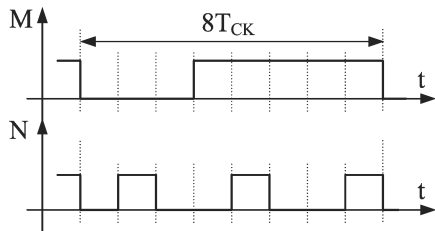
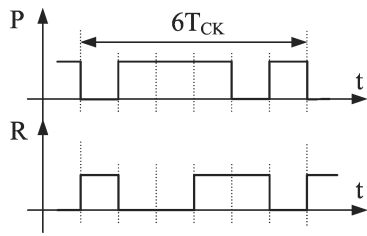




Exemple de diagramme de semnale

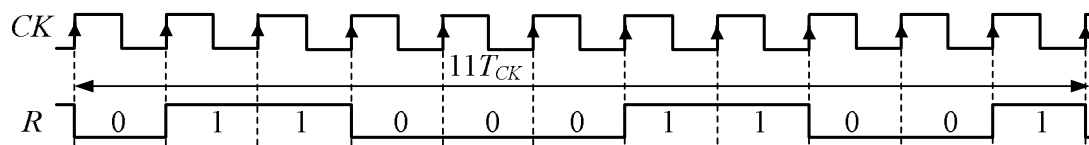
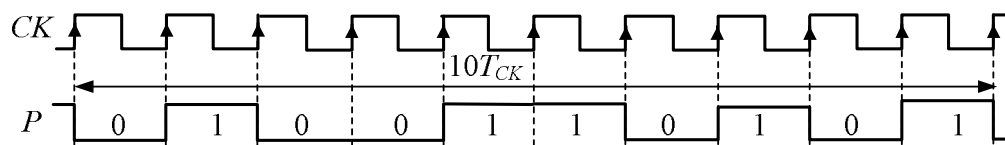
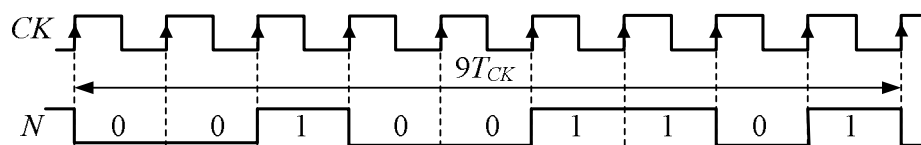
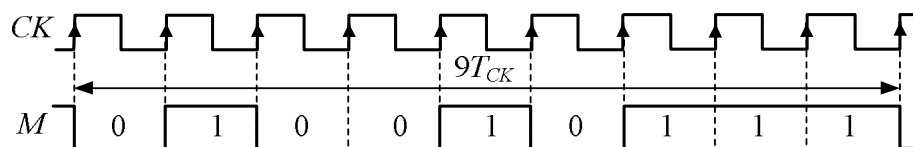
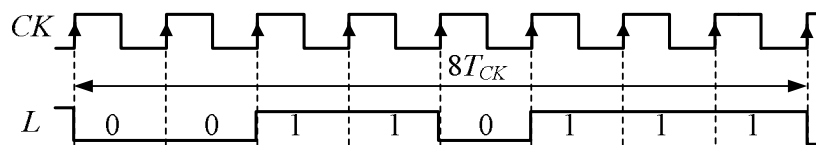


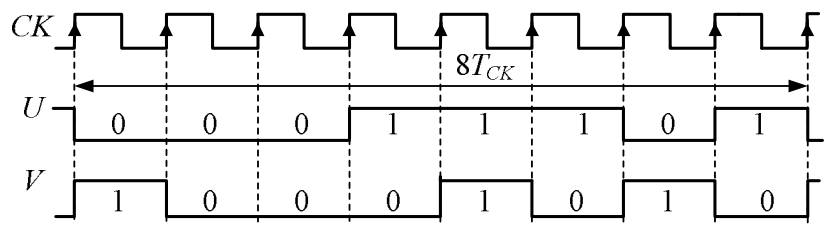
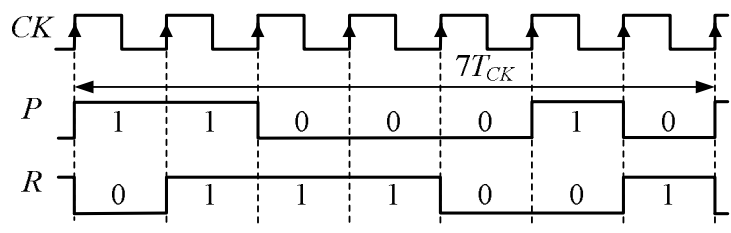
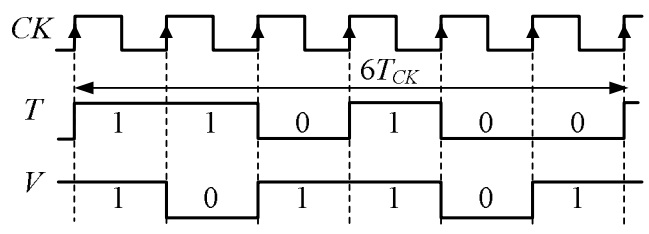
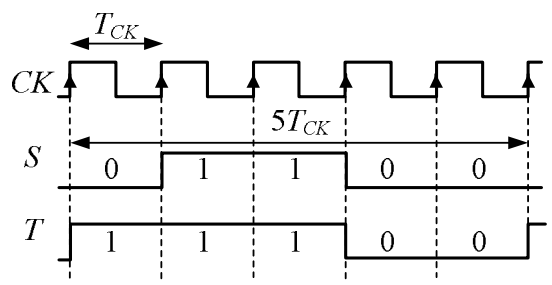
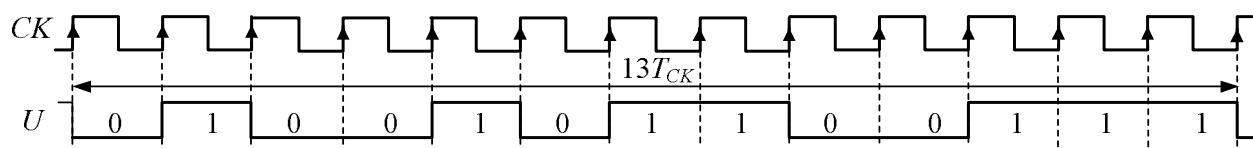
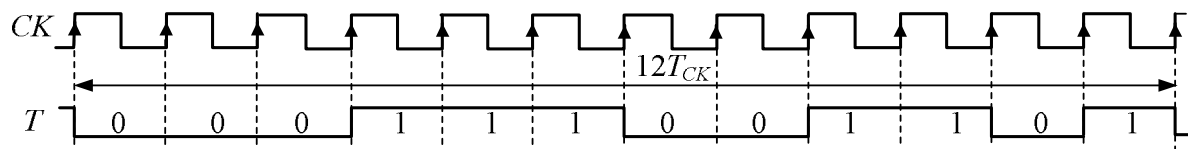
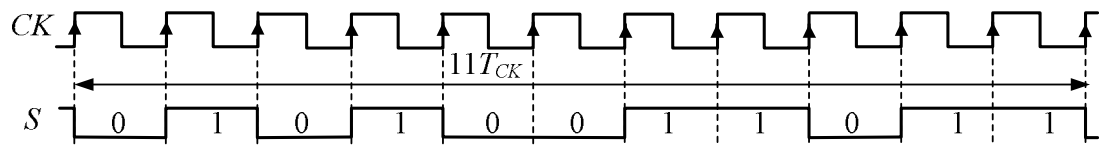


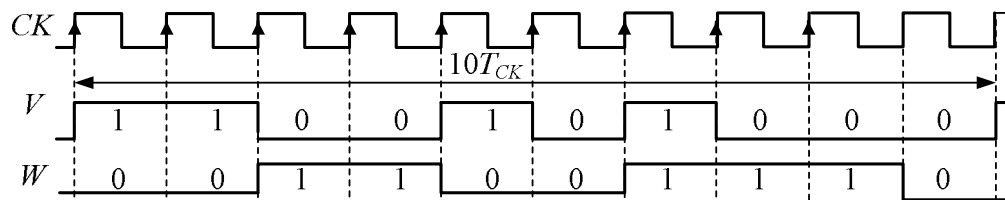
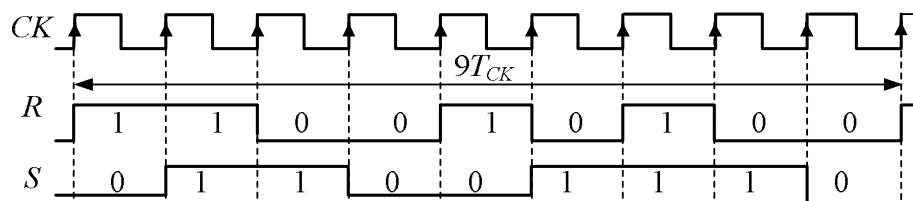
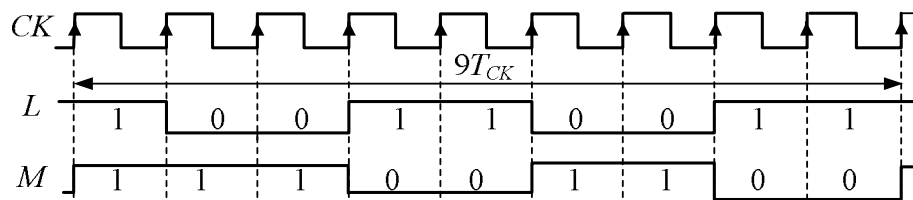
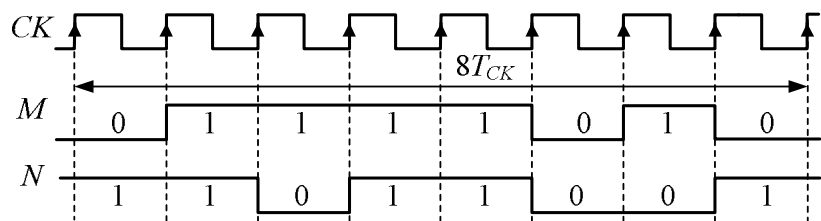


**Obs. Enunțul problemelor se păstrează și pentru alte organigrame și diagrame de semnal**

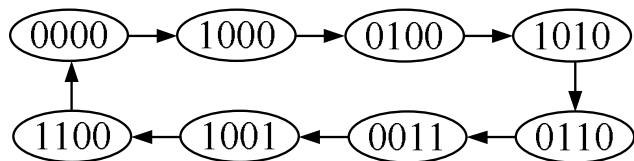
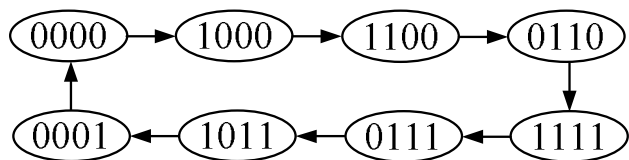
Diagrame de semnale pentru RD

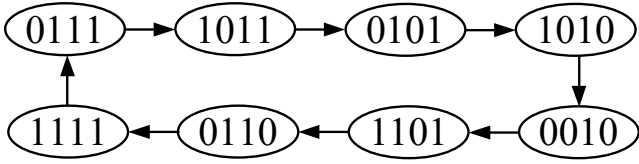
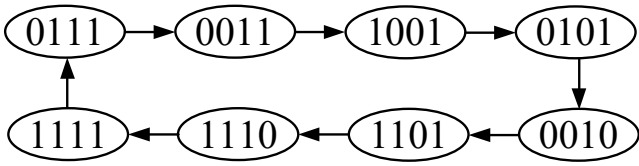






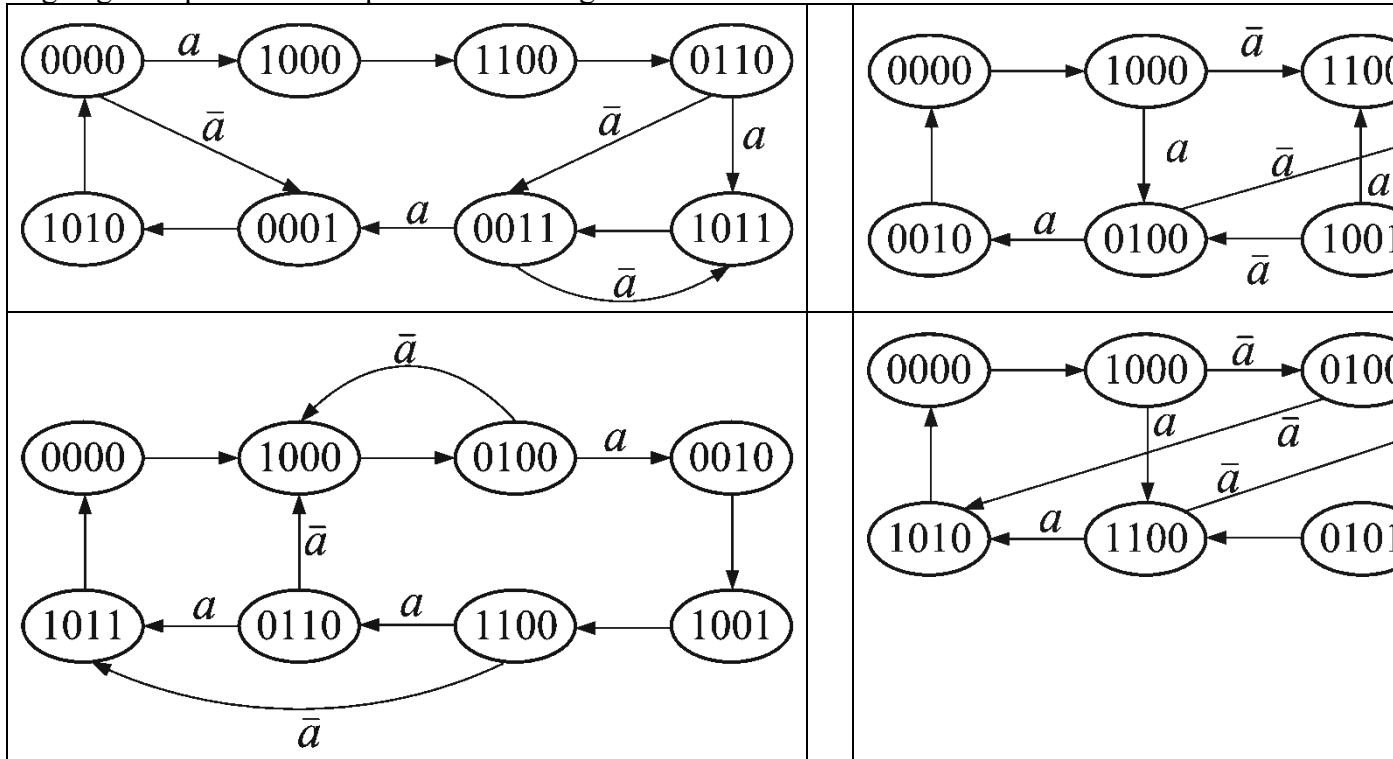
Organigrame automate cu RD

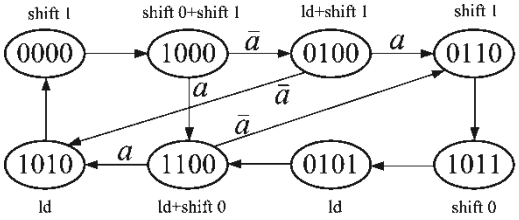
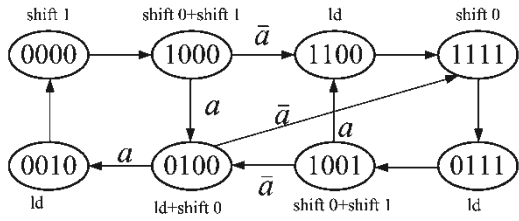
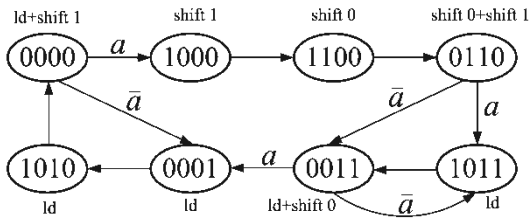
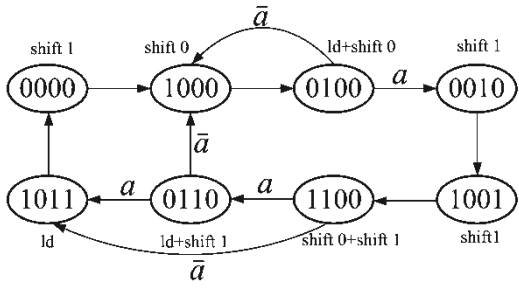




Organigrame automate RD

Organigrame potrivite la implementare cu registre





Aici le-am rezolvat

