

Subiecte de examen CID 2018

Capitole studiate

1. Functii logice, simplificare si minimizare – subiecte P1
2. Circuite logice cu porti – subiecte P1
3. MUX, DCD, DMUX – subiecte P1
4. Structuri bistabile - subiecte P1
5. Aplicatii numaratoare (extindere capacitate, divizoare de frecventa , etc) subiecte P1
6. Circuite asincrone - subiecte P1
7. Automate secventiale si automate de stare Bistabile - subiecte P2
8. Automate secventiale si automate de stare cu numaratoare – subiecte P2

P1. 4 x 1 punct=4 puncte

Porti logice

1. Implementați funcția $f=P_0+P_1+P_4+P_6+ P_{10}+P_{13}+P_{14}+P_{15}$ folosind porți logice SI - NU.
2. Minimizați funcția *votului majoritar de 3 variable*. Implementați această funcție utilizând *porți SI-NU*.
3. Realizați funcția $f=P_0+P_1+P_4+P_6$ folosind numai porți SI-NU
4. Realizați funcția $f=P_0+P_1+P_4+P_6$ folosind porți logice
5. Implementați funcția $f=P_0+P_1+P_4+P_6+ P_{10}+P_{13}+P_{14}+P_{15}$ folosind numai porți SINU
6. Implementați funcția $f=P_0+P_1+P_4+P_6+ P_{10}+P_{13}+P_{14}+P_{15}$ folosind porți logice
7. Minimizați funcția *votului majoritar de 3 variable* și implementați numai cu porți SI-NU.
8. Minimizați funcția care compară două cuvinte de 2 biți A și B și dă valoarea 1 când $A>B$ și implementați numai cu porți SI-NU.
9. Implementați cu porți *SI-NU* funcția exprimată în forma canonică: $f=P_0+P_1+P_4+P_6+ P_{10}+P_{13}+P_{14}+P_{15}$
10. Implementați cu porți *SI-NU* funcția exprimată în forma canonică: $f=P_0+P_1+P_4+P_6+ P_{10}+P_{13}+P_{14}+P_{15}$
Variante: orice funcție de 4 variabile

Circuite MUX,DCD, DMUX

11. Implementați funcția $f=P_0+P_1+P_4+P_6+ P_{10}+P_{13}+P_{14}+P_{15}$ folosind un multiplexor cu 2 adrese.
12. Implementați funcția $f=P_0+P_1+P_4+P_6+ P_{10}+P_{13}+P_{14}+P_{15}$ folosind două *decodificatoare BCD/zecimal* cu ieșiri active pe 0.
13. Implementați funcția $f=P_0+P_1+P_4+P_6+ P_{10}+P_{13}+P_{14}+P_{15}$ folosind două *decodificatoare BCD/zecimal* cu ieșiri active pe 0.
14. Implementați funcția $f=P_0+P_1+P_4+P_6+ P_{10}+P_{13}+P_{14}+P_{15}$ folosind două *decodoare BCD* cu ieșiri active pe 0.
15. Implementați funcția $f=P_0+P_1+P_4+P_6+ P_{10}+P_{13}+P_{14}+P_{15}$ folosind un multiplexor cu 2 adrese.
16. Implementați funcția $f=P_0+P_1+P_4+P_6+ P_{10}+P_{13}+P_{14}+P_{15}$ folosind *un multiplexor cu patru canale*.

17. Desenați *structura internă cu porți logice* a unui circuit *MUX4:1*.
 18. Implementați funcția $f = P_0 + P_1 + P_4 + P_6 + P_{10} + P_{13} + P_{14} + P_{15}$ folosind *un singur multiplexor cu patru canale*.
 19. Implementați funcția $f = P_0 + P_1 + P_4 + P_6 + P_{10} + P_{13} + P_{14} + P_{15}$ folosind numai MUX de 4 canale;
 20. Fiind date două numere $A(a_1a_0)$ și $B(b_1b_0)$, determinați circuitul care utilizează un *MUX8:1* și porți pentru a implementa ecuația $A > B$.
 21. Determinați forma canonică a funcției: $f(a, b, c) = a \oplus b + c$ și implementați cu 1 MUX cu 4 canale.
 22. Implementați funcția $f = P_0 + P_1 + P_4 + P_6 + P_{10} + P_{13} + P_{14} + P_{15}$ folosind două *decodoare BCD* cu ieșiri active pe 0.
 23. Desenați implementarea funcției *votului majoritar de 3 variabile* utilizând numai *MUX cu două canale*.
 24. Determinați forma canonică a funcției: $f(a, b) = a \oplus b$ și implementați numai cu MUX cu 2 canale.
 25. Implementați funcția $f = P_0 + P_1 + P_4 + P_6$ folosind un MUX cu 8 canale
 26. Implementați funcția $f = P_0 + P_1 + P_4 + P_6$ folosind un MUX cu 4 canale
 27. Implementați funcția $f = P_0 + P_1 + P_4 + P_6$ folosind numai MUX cu 2 canale
 28. Implementați funcția $f = P_0 + P_1 + P_4 + P_6 + P_{10} + P_{13} + P_{14} + P_{15}$ folosind un MUX de 8 canale;
 29. Implementați funcția $f = P_0 + P_1 + P_4 + P_6 + P_{10} + P_{13} + P_{14} + P_{15}$ folosind numai MUX de 4 canale;
 30. Implementați funcția $f = P_0 + P_1 + P_4 + P_6 + P_{10} + P_{13} + P_{14} + P_{15}$ folosind două DMUX de 8 canale;
 31. Implementați funcția $f = P_0 + P_1 + P_4 + P_6 + P_{10} + P_{13} + P_{14} + P_{15}$ folosind două DCD BCD zecimale cu ieșiri active pe 0;
 32. Determinați forma canonică a funcției : $f(a, b, c) = ab + bc'$ și implementați numai cu MUX cu 2 canale.
Variante de funcții de 3 variabile.
 33. Determinați forma canonică a funcției : $f(a, b, c, d) = ab + bd' + acd$ și implementați cu 1 MUX cu 4 canale..
Variante de funcții de 3 variabile..
 34. Desenați schema cu multiplexoare cu două canale necesare implementării unui multiplexor cu opt canale.
 35. Desenați schema unui *MUX16:1*, apoi desenați schema acestui multiplexor 16:1 format din blocuri *MUX2:1*. Utilizați aceleași denumiri în cazul celor două circuite pentru semnalele corespondente.
 36. Determinați numărul de multiplexoare cu două canale necesare implementării unui multiplexor cu opt canale.
- Bistabile**
37. Desenați schema unui *numărător asincron pe 4 biți*, realizat cu bistabile JK care acționează pe front negativ.
 38. Desenați schema unui *numărător pe 4 biți, asincron*, activ pe front negativ, realizat cu bistabile D.
 39. Descrieți funcționarea (în cuvinte) și schema cu porți a bistabilului *JK MS* format cu bistabile *RS*.
 40. Desenați un *divizor de frecvență cu 4* realizat cu bistabile D.
 41. Desenați schema unui *numărător pe 3 biți, asincron*, realizat cu bistabile JK.
 42. Desenați schema unui *numărător asincron pe 5 biți*, realizat cu bistabile JK.
 43. Un număr de *patru bistabile JK* sunt conectate serial astfel încât ieșirea *Q* a fiecărui bistabil să fie legată la intrarea de ceas a celui următor ($J_3K_3, J_2K_2, J_1K_1, J_0K_0$). Determinați frecvența semnalelor de la ieșirile *Q* ale bistabilelor, dacă bistabilul J_3K_3 este comandat cu un semnal de ceas de *256 MHz*. Toate intrările de comandă J și K sunt conectate la „1” logic.
 44. Un număr de *trei bistabile D* sunt conectate serial astfel încât ieșirea *Q* a fiecărui bistabil să fie legată la intrarea celui următor cu excepția ultimului, a cărui ieșire negată *Q* este legată la intrarea primului bistabil. Determinați (desenați) prin câte stări separate trece circuitul, dacă se presupune că starea inițială este *000*.
 45. Descrieți funcționarea (în cuvinte) și desenați schema cu porți a bistabilului *JK MS* format cu bistabile *RS*.
 46. Un număr de *patru bistabile JK* sunt conectate serial astfel încât ieșirea *Q* a fiecărui bistabil să fie legată la intrarea de ceas a celui următor ($J_3K_3, J_2K_2, J_1K_1, J_0K_0$). Determinați frecvența semnalului de la ieșirea *Q*, dacă bistabilul J_3K_3 este comandat cu un semnal de ceas de *256 MHz*. Toate intrările de comandă sunt conectate la „1” logic.

47. Un număr de *trei bistabile D* sunt conectate serial astfel încât ieșirea Q a fiecărui bistabil să fie legată la intrarea celui următor cu excepția ultimului, a cărui ieșire negativă Q este legată la intrarea primului bistabil. Determinați (desenați) prin câte stări separate trece circuitul, dacă se presupune că starea inițială este 000 .
48. Un număr de *patru bistabile JK* sunt conectate serial astfel încât ieșirea Q a fiecărui bistabil să fie legată la intrarea de ceas a celui următor ($J_3K_3, J_2K_2, J_1K_1, J_0K_0$). Determinați frecvența semnalului de la ieșirea Q_1 , dacă bistabilul J_3K_3 este comandat cu un semnal de ceas de 64 MHz . Toate intrările de comandă sunt conectate la „1” logic.
49. Descrieți *principiul master-slave*, aplicat pentru a obține un *bistabil RS activ pe front* (negativ) de ceas. Schema de circuit.
50. Descrieți funcționarea (în cuvinte) și schema cu porți a bistabilului *JK MS* format cu bistabile *RS*.
51. Un număr de *trei bistabile D* sunt conectate serial astfel încât ieșirea Q a fiecărui bistabil să fie legată la intrarea celui următor cu excepția ultimului, a cărui ieșire negativă Q este legată la intrarea primului bistabil. Determinați (desenați) prin câte stări separate trece circuitul, dacă se presupune că starea inițială este 0000 .
52. Schema numărătorului sincron cu 3 bistabile JK (front pozitiv/negativ) cu diagrama de semnale
53. Schema numărătorului sincron cu 3 bistabile D (front pozitiv/negativ) cu diagrama de semnale
52. Schema numărătorului sincron cu 4 bistabile JK (front pozitiv/negativ) cu diagrama de semnale
53. Schema numărătorului sincron cu 4 bistabile D (front pozitiv/negativ) cu diagrama de semnale
52. Schema numărătorului asincron cu 3 bistabile JK (front pozitiv/negativ) cu diagrama de semnale
53. Schema numărătorului asincron cu 3 bistabile D (front pozitiv/negativ) cu diagrama de semnale
52. Schema numărătorului asincron cu 4 bistabile JK (front pozitiv/negativ) cu diagrama de semnale
53. Schema numărătorului asincron cu 4 bistabile D (front pozitiv/negativ) cu diagrama de semnale

Numărătoare

54. Desenați schema unui *numărător pe 4 biți, asincron*, activ pe front negative, realizat cu bistabile *D*.
55. Desenați schema unui divizor de frecvență cu numărul 5 realizat cu un numărător 74163, folosind intrările de încărcare DCBA și ieșirea Carry.
56. Un numărător 74162 care lucrează pe frecvența de ceas f_{clk} comandă adresa unui *decodificator CD/zecimal*. Determinați care este frecvența semnalului cules pe ieșirea O_6 a decodificatorului.
57. Realizați un *numărător de 8 biți* folosind două circuite 74163 legate în cascadă.
58. Desenați schema unui divizor de frecvență cu numărul 7 realizat cu un numărător 74193 care numără înapoi, folosind intrările de încărcare DCBA și ieșirea Carry.
59. Un numărător 74162 care lucrează pe frecvența de ceas f_{clk} comandă cu ieșirile pinii de adresa ai unui *decodificator BCD/zecimal*. Determinați care este frecvența semnalului cules pe ieșirea O_5 a decodificatorului.
60. Pentru un numărător 74163 care are ieșirea *Carry* conectată prin intermediul unui inversor la intrarea *Load*, iar pe intrări se aplică valoarea binară (0101), determinați cu cât este divizat semnalul de la ieșirea *Carry* față de frecvența semnalului de ceas.
61. Un numărător 74162 care lucrează pe frecvența de ceas f_{clk} comandă cu ieșirile pinii de adresă ai unui *decodificator BCD/zecimal*. Determinați care este frecvența semnalului cules pe ieșirea O_5 a decodificatorului. (licența 2002)
62. Un numărător 74162 care lucrează pe frecvența de ceas f_{clk} comandă adresa unui *decodificator BCD/zecimal*. Determinați care este frecvența semnalului cules pe ieșirea O_6 a decodificatorului.
63. Realizați un *numărător de 8 biți* folosind două circuite 74163 legate în cascadă.
64. Un numărător 74162 care lucrează pe frecvența de ceas f_{clk} comandă cu ieșirile pinii de adresă ai unui *decodificator BCD/zecimal*. Determinați care este frecvența semnalului cules pe ieșirea O_6 a decodificatorului.
65. Pentru un numărător 74163 care are ieșirea *Carry* conectată prin intermediul unui inversor la intrarea *Load*, iar pe intrări se aplică valoarea binară ($I_{msb}100$), determinați cu cât este divizat semnalul de la ieșirea *Carry* față de frecvența semnalului de ceas.
66. Realizați un *numărător de 8 biți* folosind două circuite 74193 legate în cascadă.
67. Realizați un *numărător de 8 biți* folosind două circuite 74192 legate în cascadă.

68. Realizați un numărător de 8 biți folosind două circuite 74163 legate în cascadă.

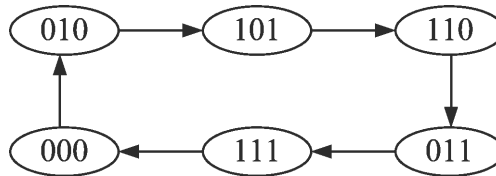
69. Pentru un numărător 74163 care are ieșirea Carry conectată prin intermediul unui inversor la intrarea Load, iar pe intrări se aplică valoarea binară ($0_{msb}110$), determinați cu cât este divizat semnalul de la ieșirea Carry față de frecvența semnalului de ceas.

P2. 2 x 2.5 punct = 5 puncte

P2 - Tipuri de probleme de 2.5 puncte

Automate cu bistabile

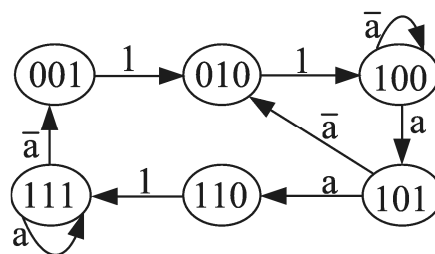
1. Să se implementeze cu 3 bistabile JK si porti un automat care să evolueze conform organigramei din figura:



Obs 1. Se poate modifica organigrama automatului, nr de bistabile (3 sau 4), tipul bistabilelor D sau JK, circuitul combinational poate fi cu MUX, cu porti logice SI-NU, SAU-NU sau orice porti.

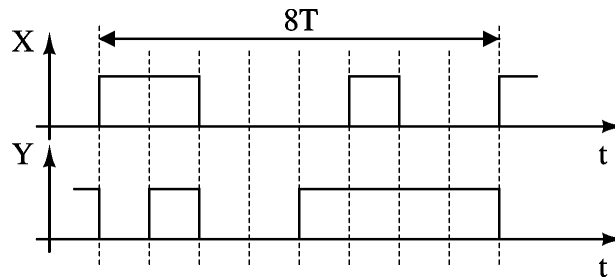
Obs 2. Se cere diagrama de semnale.

2. Să se implementeze cu 3 bistabile JK si porti un automat care să evolueze conform organigramei din figura:



Obs. Se poate modifica organigrama automatului, nr de bistabile (3 sau 4), tipul bistabilelor D sau JK, numarul variabilelor externe a si/sau b, circuitul combinational poate fi cu MUX, porti logice SI-NU, SAU-NU sau orice porti .

3. Să se implementeze un automat secvențial care sa furnizeze semnalele din figură folosind bistabile JK și porti logice (sau MUX) astfel încât semnalele să fie generate la ieșirile număratorului, iar majoritatea tranzițiilor să se facă prin numărare.

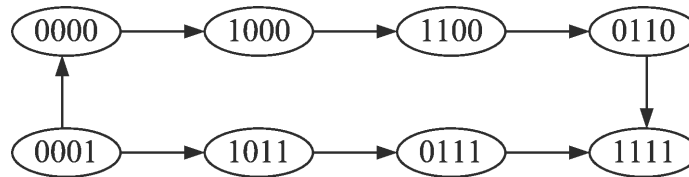


Obs . Se pot modifica diagramele celor doua semnale, pot fi unul sau doua semnale, circuitul combinational poate fi cu cu MUX su 2, 4 sau 8 canale.

4. Aceeasi problem cu bistabile D.

Automate cu numaratoare

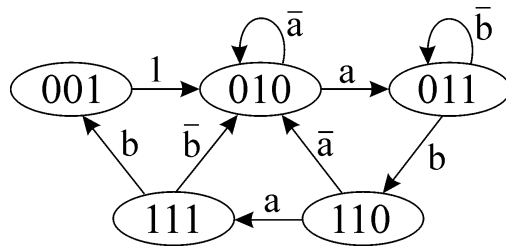
5. Să se implementeze automatul secvențial cu evoluția din figură cu numărator 74163 și porti logice .



Obs 1. Se poate modifica organigrama automatului (max 16 stari), circuitul combinational poate fi cu cu MUX, porti logice SI-NU, SAU-NU sau orice porti .

Obs 2. Se cere diagrama de semnale.

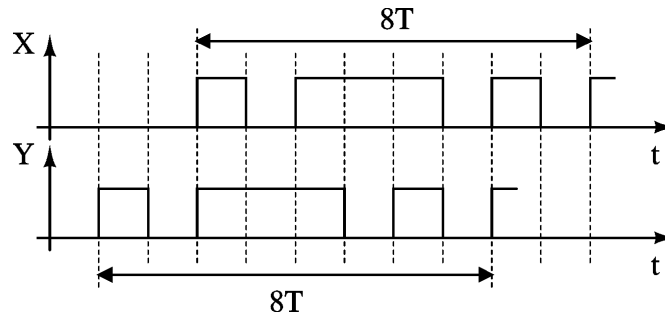
6. Să se implementeze automatul secvențial cu evoluția din figură cu numărator 74163 și porti logice .



Obs. Se poate modifica organigrama automatului si numarul variabilelor externe a si/sau b.

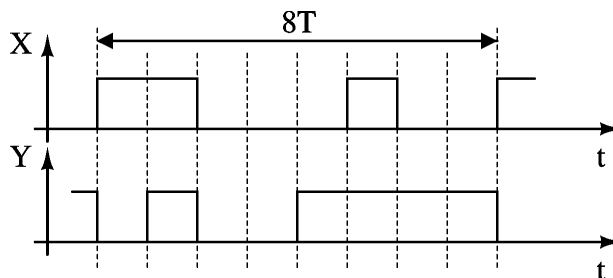
7. aceeași problema cu numărător 74163 și MUX cu 8 canale (sau cu MUX 4 canale și porți)

8. Să se proiecteze un automat secvențial cu numărator 74163 și porți ȘI-NU care să genereze simultan semnalele din figură, astfel încât un număr maxim de tranziții să se realizeze prin numărare.



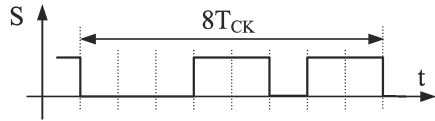
Obs. Se pot modifica diagramele celor două semnale, circuitul combinational poate fi cu, porți logice ȘI-NU, SAU-NU sau orice porți.

9. Să se implementeze un automat secvențial care să furnizeze semnalele din figură cu numărătorul 74163 și MUX astfel încât semnalele să fie generate la ieșirile numărătorului, iar majoritatea tranzițiilor să se facă prin numărare.



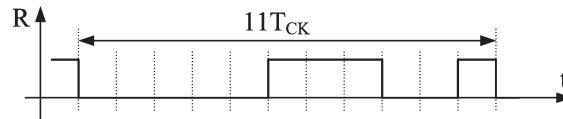
Obs. Se pot modifica diagramele celor două semnale, circuitul combinational poate fi cu MUX cu 2, 4 sau 8 canale.

10. Să se proiecteze un generator pentru semnalele din figura de mai jos, folosind un MUX cu 8 canale și un numărător de adrese realizat cu circuitul 74163. Datele vor fi memorate pe liniile de date ale MUX.



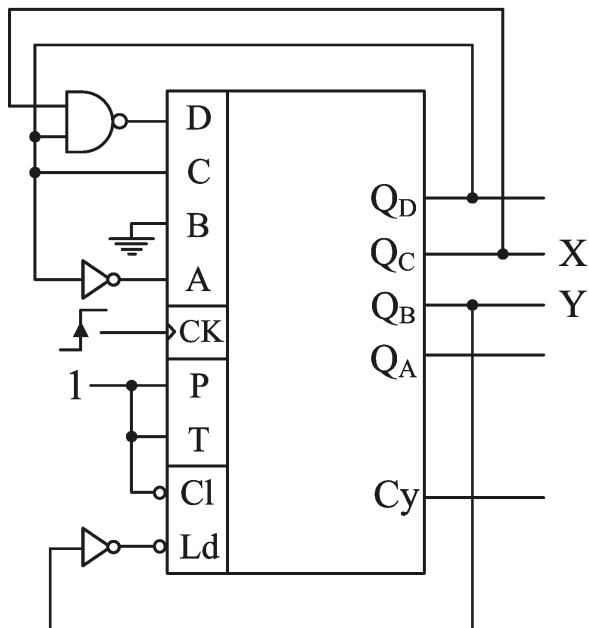
Obs. Se poate modifica diagrama de semnale

11. Să se proiecteze un generator pentru semnalele din figura de mai jos, folosind un MUX cu 16 canale și un numărător de adrese realizat cu circuitul 74163. Datele vor fi memorate pe liniile de date ale MUX.

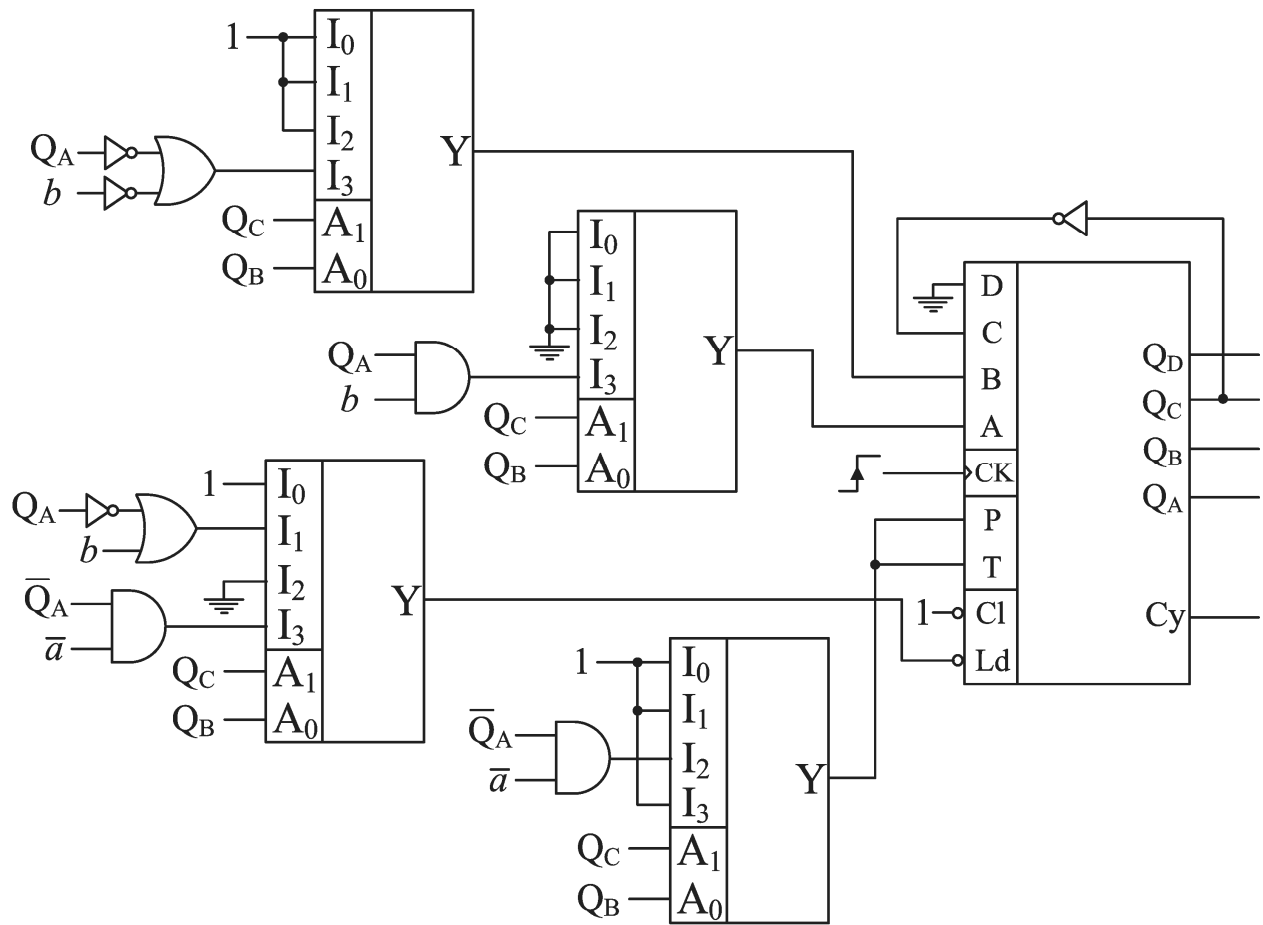


Obs. Se poate modifica diagrama de semnale

12. Sa se analizeze functionarea circuitului din figura (numarator integrat 74163 cu porti logice) .
Rezultat: organigrama de tranzitii fara variabile externe.

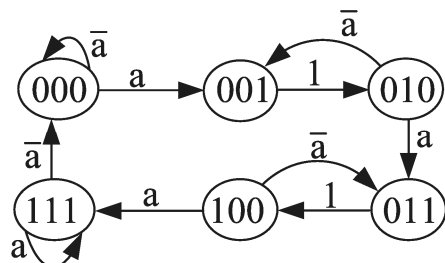
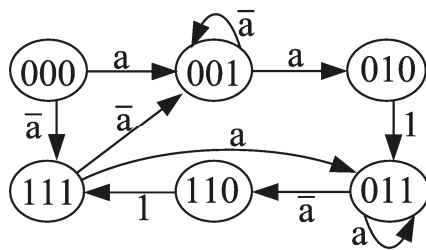
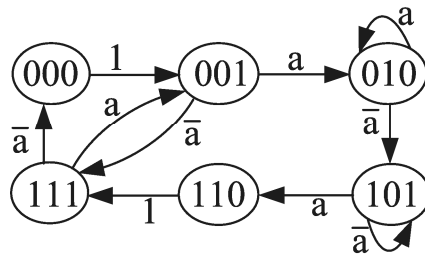
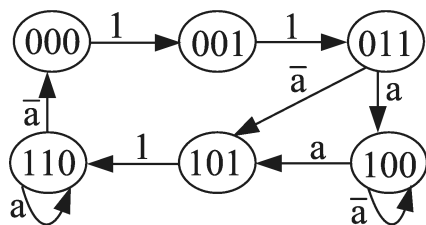
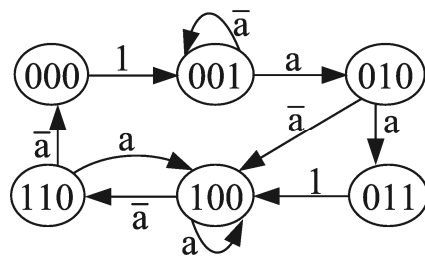
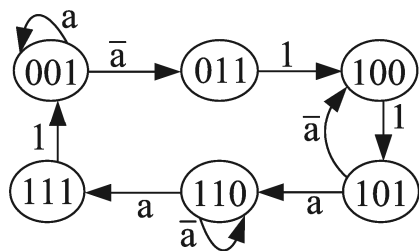
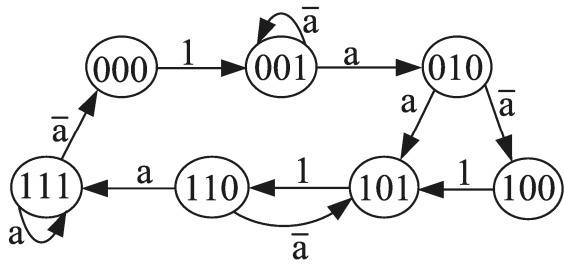
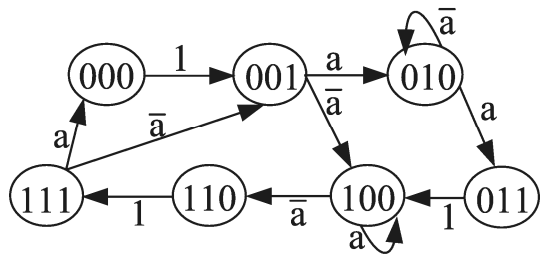
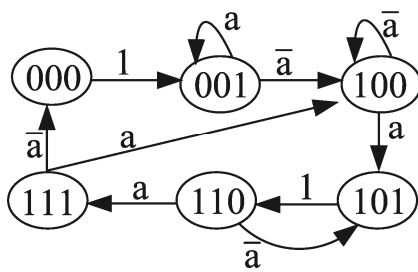
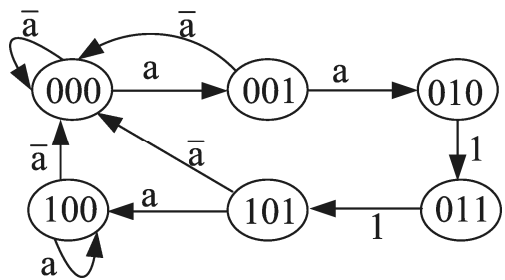


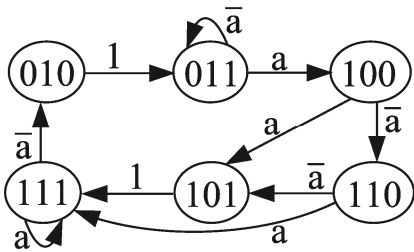
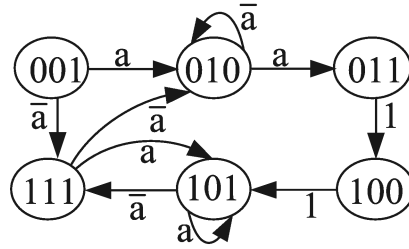
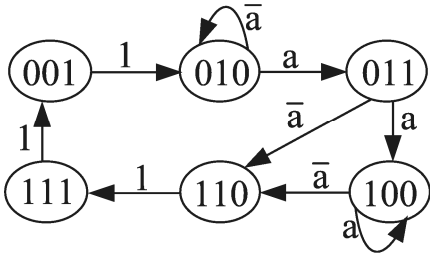
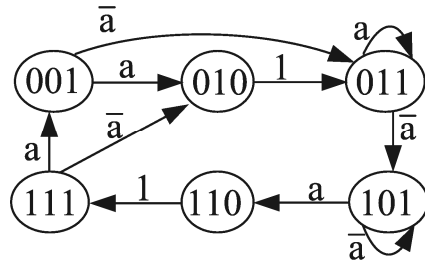
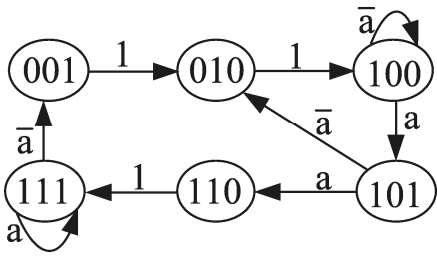
13. Sa se analizeze functionarea circuitului din figura (numarator integrat cu porti logice si MUX).
 Rezultat: organigrama de tranzitii cu variabile externe.



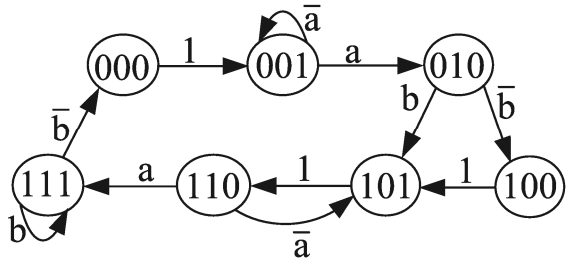
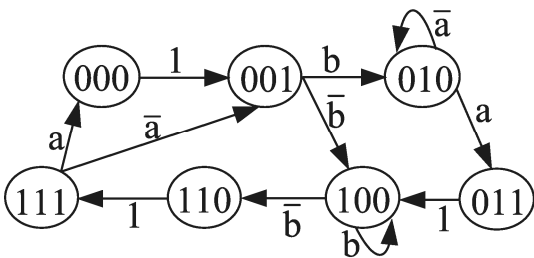
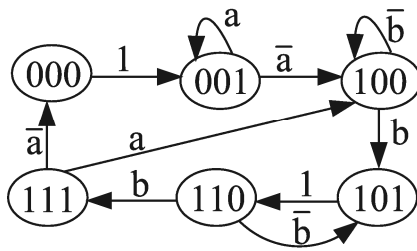
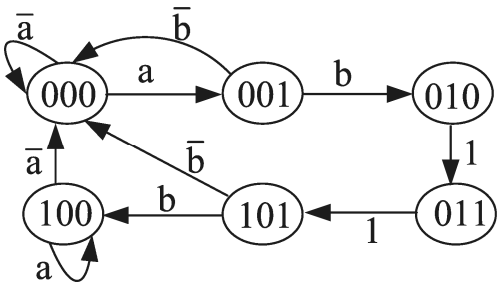
Anexe

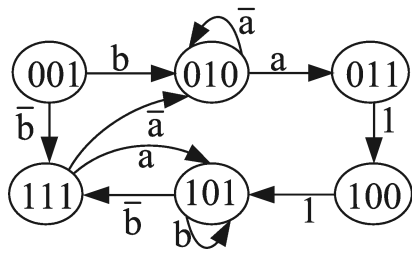
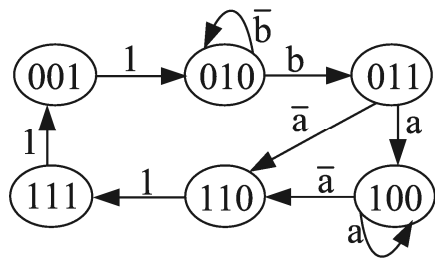
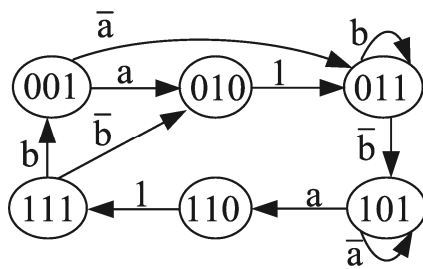
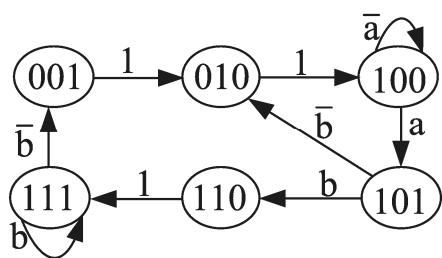
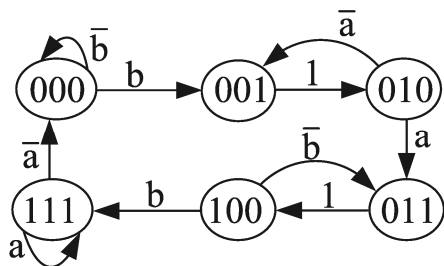
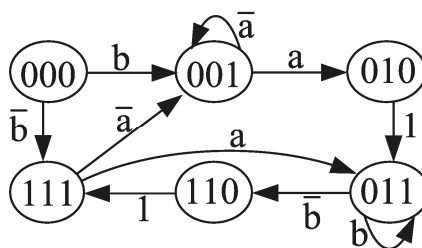
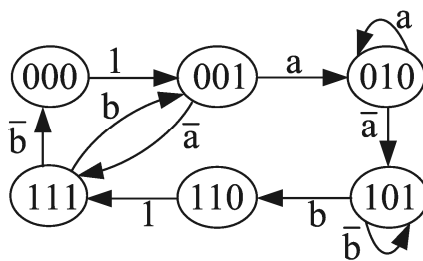
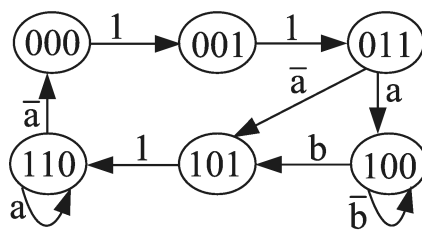
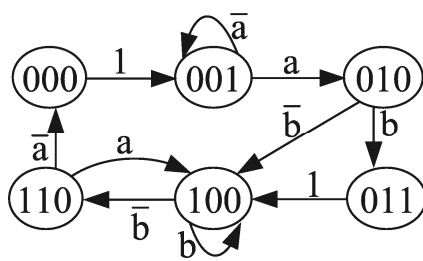
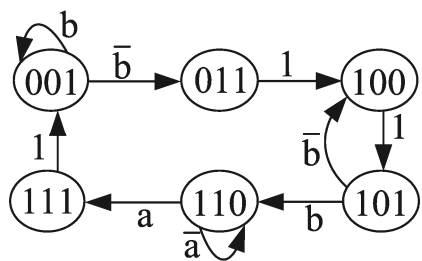
Exemple de organigrame pentru automate de stare cu variabile

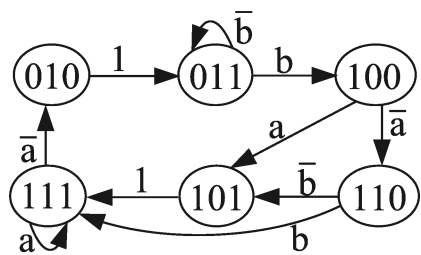




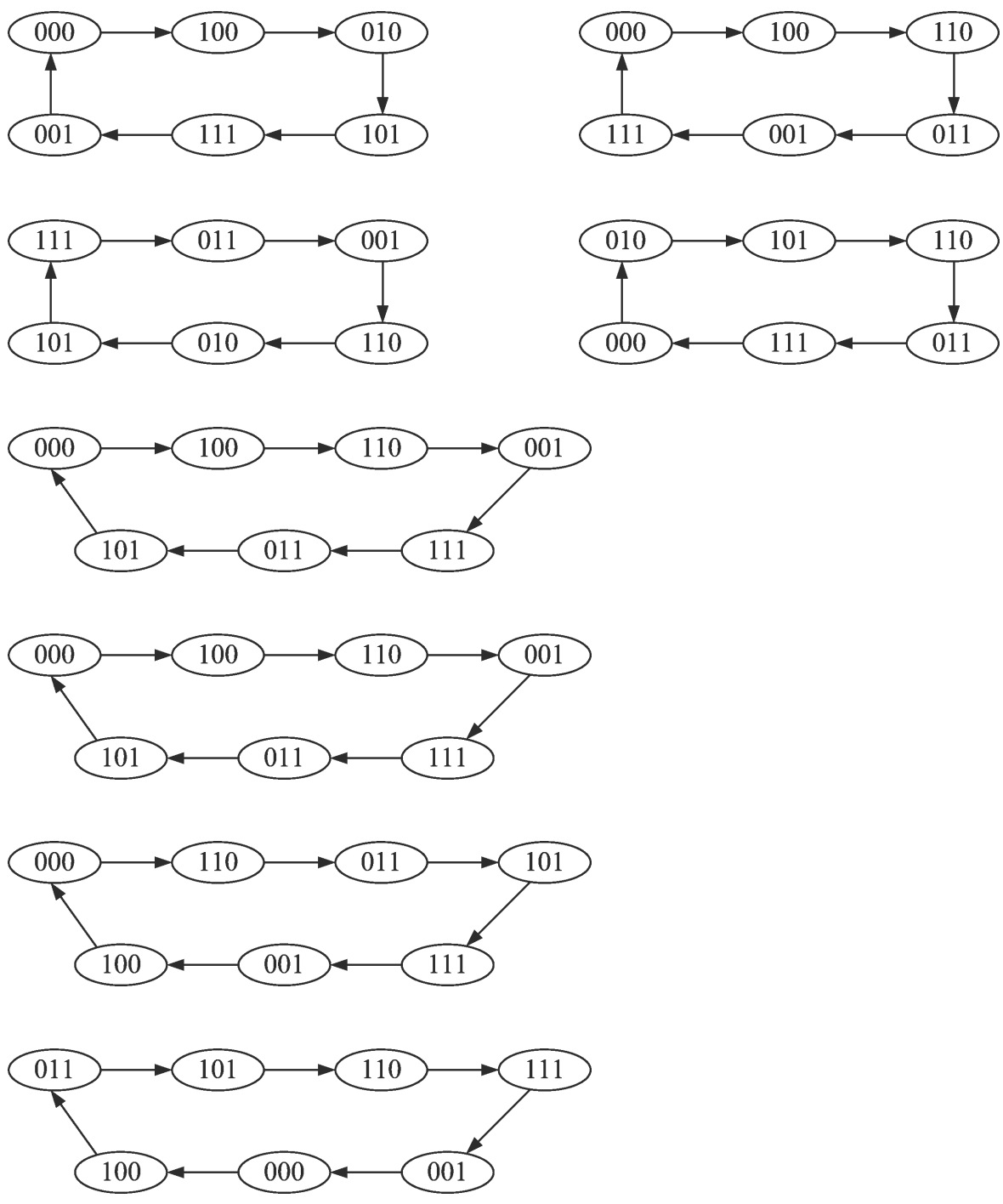
-----Aceleasi dar cu a si b-----

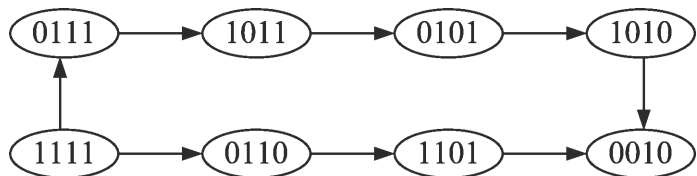
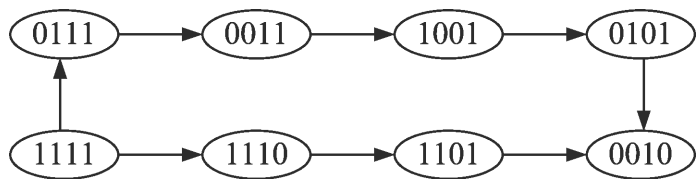
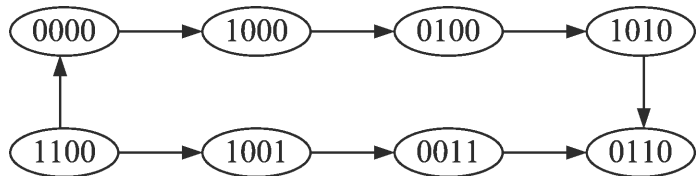
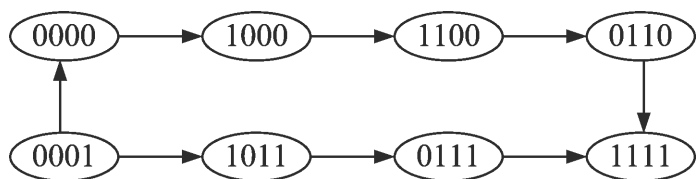






Exemple de organigrame pentru automate secventiale





Exemple de diagramme de semnale

